

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-174225

(43)Date of publication of application : 23.06.2000

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/8234
H01L 27/088

(21)Application number : 10-341599

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.12.1998

(72)Inventor : OGISHIMA JUNJI
OYU SHIZUNORI

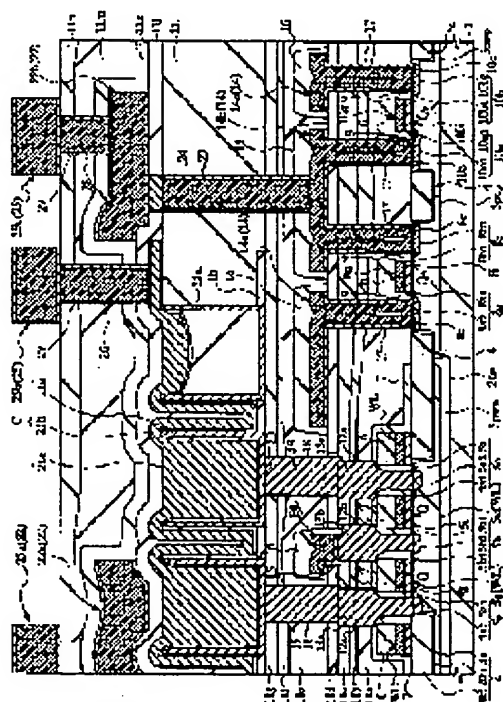
(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the refresh characteristic by making the conductivity type of polysilicon opposite to that of the semiconductor region of source and drain of a MIS transistor and forming a device isolation region which defines an active region by embedding an insulating film in an isolation trench.

SOLUTION: A device isolation region 4 of an embedded shallow-trench type is formed in an upper layer part of a semiconductor substrate 1. With this device isolation region 4 of the embedded type, the impurity concentration of a p-n junction at the interface between the impurity-doped region for an accumulation node of a MOS.FET for memory cell selection and the device isolation region 4 becomes low, and the electric field near the junction of a semiconductor region 5a connecting to a capacitor C is relaxed.

Therefore, the leakage current between the accumulation node and the semiconductor substrate 1 is reduced. By this decrease of the leakage current, the refresh characteristic of the memory cell can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-174225

(P2000-174225A)

(43)公開日 平成12年6月23日(2000.6.23)

(51)Int.Cl.⁷

識別記号

F I

テーマト*(参考)

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F

5 F 0 4 8

21/8242

27/08

1 0 2 C

5 F 0 8 3

21/8234

27/10

6 2 1 C

27/088

審査請求 未請求 請求項の数17 O L (全 38 頁)

(21)出願番号

特願平10-341599

(22)出願日

平成10年12月1日(1998.12.1)

(71)出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者

荻島 淳史

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業本部内

(72)発明者

大湯 静憲

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74)代理人

100080001

弁理士 筒井 大和

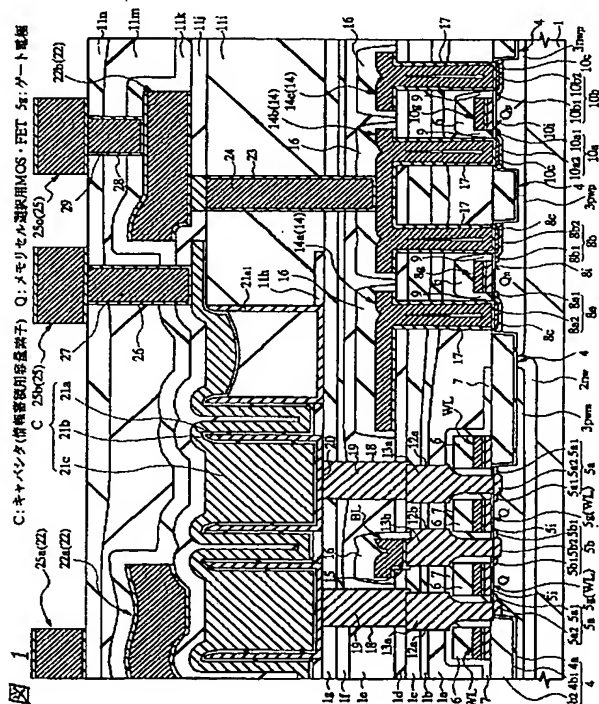
最終頁に続く

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 ロジック混載形メモリを有する半導体集積回路装置において、メモリセルのリフレッシュ特性を向上させる。

【解決手段】 半導体基板1の活性領域を規定する素子分離領域4を、半導体基板1に形成された分離溝4a内に分離用の絶縁膜が埋め込まれた溝堀り埋め込み形とし、DRAMのメモリセルを構成するnチャネル形のメモリセル選択用MOS・FETQのゲート電極5gを構成する低抵抗ポリシリコン膜の導電形をp⁺形とした。



【特許請求の範囲】

【請求項 1】 半導体基板上に M I S トランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、(a) その表面に活性領域と素子分離領域とが備わった半導体基板と、(b) 前記活性領域に形成され、ゲート電極とソース・ドレイン用の半導体領域とが備わった M I S トランジスタとを有しており、前記ソース・ドレイン用の半導体領域の導電形と前記ゲート電極の導電形とは逆であり、前記素子分離領域は、前記半導体基板の表面に形成された分離溝内に絶縁膜を埋め込むことにより形成されていることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記分離溝内の絶縁膜は化学的気相成長法によって形成された酸化膜であることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置において、前記 M I S トランジスタは、ゲート絶縁膜に接して多結晶シリコンが設けられたゲート電極を有していることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置において、前記メモリセルの周囲には論理回路が形成されており、前記論理回路を構成する M I S トランジスタのゲート電極の導電形を、その M I S トランジスタのソース・ドレイン用の半導体領域の導電形と同一の導電形としたことを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 記載の半導体集積回路装置において、前記メモリセルの周囲には論理回路が形成されており、前記メモリセルの M I S トランジスタのゲート絶縁膜の厚さは、前記論理回路を構成する M I S トランジスタのゲート絶縁膜の厚さよりも相対的に厚いことを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 記載の半導体集積回路装置において、前記 M I S トランジスタのチャネル領域に、しきい値電圧調整用の不純物イオンが導入されていないことを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1 記載の半導体集積回路装置において、前記メモリセルが、メモリセル選択用 M I S トランジスタと、これに直列に接続された情報蓄積用容量素子とで構成される D R A M セルであることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 記載の半導体集積回路装置において、前記メモリセルが、p チャネル形の負荷用 M I S トランジスタおよび n チャネル形の駆動用 M I S トランジスタからなるフリップフロップ回路と n チャネル形の転送用 M I S トランジスタとからなる S R A M セルであることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 1 記載の半導体集積回路装置において、前記メモリセルが、負荷抵抗素子および n チャネル形の駆動用 M I S トランジスタからなるフリップフロ

ップ回路と n チャネル形の転送用 M I S トランジスタとからなる S R A M セルであることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 7 記載の半導体集積回路装置において、前記メモリセル選択用 M I S トランジスタのソース・ドレイン用の半導体領域の導電形が n 形であり、前記メモリセル選択用 M I S トランジスタのゲート電極の導電形が p 形であることを特徴とする半導体集積回路装置。

10 【請求項 11】 請求項 7 記載の半導体集積回路装置において、前記メモリセルの周囲には論理回路が形成されており、前記メモリセル選択用 M I S トランジスタのソース・ドレイン用の半導体領域の導電形が n 形であり、前記メモリセル選択用 M I S トランジスタのゲート電極の導電形が p 形であり、前記論理回路を構成する p チャネル形の M I S トランジスタのゲート電極の導電形が p 形であり、前記論理回路を構成する n チャネル形の M I S トランジスタのゲート電極の導電形が n 形であることを特徴とする半導体集積回路装置。

20 【請求項 12】 請求項 8 記載の半導体集積回路装置において、前記 p チャネル形の負荷用 M I S トランジスタのゲート電極の導電形が n 形であり、前記 n チャネル形の駆動用 M I S トランジスタおよび前記 n チャネル形の転送用 M I S トランジスタのゲート電極の導電形が p 形であることを特徴とする半導体集積回路装置。

【請求項 13】 請求項 9 記載の半導体集積回路装置において、前記 n チャネル形の駆動用 M I S トランジスタおよび前記 n チャネル形の転送用 M I S トランジスタのゲート電極の導電形が p 形であることを特徴とする半導体集積回路装置。

30 【請求項 14】 半導体基板上に M I S トランジスタと容量素子とが直列接続されたメモリセルを形成する半導体集積回路装置の製造方法であって、(a) 前記半導体基板の主面上に分離溝を形成した後、前記分離溝に絶縁膜を埋め込み分離領域を形成する工程と、(b) 前記半導体基板上にゲート絶縁膜を形成する工程と、(c) 前記ゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、(d) 前記多結晶シリコン膜において、前記 M I S トランジスタのゲート電極形成領域に、前記 M I S トランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形の不純物を導入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 請求項 14 記載の半導体集積回路装置の製造方法において、前記多結晶シリコン膜におけるゲート電極形成領域への不純物の導入工程に際して、前記不純物を、前記多結晶シリコン膜において前記メモリセルの M I S トランジスタ以外の他の M I S トランジスタのゲート電極形成領域にも同時に導入することを特徴とする半導体集積回路装置の製造方法。

50 【請求項 16】 半導体基板上に M I S トランジスタと

容量素子とが直列接続されたメモリセルと、前記メモリセルの周囲に論理回路とを形成する半導体集積回路装置の製造方法であって、(a)前記半導体基板の主面上に分離溝を形成した後、前記分離溝に絶縁膜を埋め込み分離領域を形成する工程と、(b)前記半導体基板上にゲート絶縁膜を形成する工程と、(c)前記ゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、(d)前記多結晶シリコン膜において、前記メモリセルのnチャネル形のMISトランジスタのゲート電極形成領域および前記論理回路を構成するpチャネル形のMISトランジスタのゲート電極形成領域に、p形の不純物を導入する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項16に記載の半導体集積回路装置の製造方法において、前記メモリセルのMISトランジスタのゲート絶縁膜の厚さを前記論理回路を構成するMISトランジスタのゲート絶縁膜の厚さよりも相対的に厚く形成することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、メモリ回路と論理回路とが同一半導体基板上に設けられたロジック (Logic : 論理回路) 混載形メモリを有する半導体集積回路装置およびその製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】近年、DRAM (Dynamic Random Access Memory) と論理回路とを同一の半導体基板上に設けるロジック混載形メモリの開発および製造が進められている。

【0003】ロジック混載形DRAMについては、例えば株式会社プレスジャーナル発行、「月刊セミコンダクタ・ワールド (Semiconductor World)」9月号、平成10年8月20日発行、P76～P93に記載がある。

【0004】しかし、DRAMのメモリセルは、1つのメモリセル選択MISトランジスタと、それに直列に接続されたキャパシタとから構成されており、情報を記憶する素子としてキャパシタを用いているので、そのまま放置しておくとも情報の記憶に用いられる信号電荷が時間の経過とともにリークしてしまい記憶内容が失われてしまう。

【0005】このため、DRAMにおいては、メモリセルの情報を記憶し続けるために、記憶内容を定期的に再生する、いわゆるリフレッシュ動作が必要であり、DRAM全体の動作速度の向上とともに、このリフレッシュ特性を向上させるべく種々の構造上および回路上の研究および技術開発が行われている。

【0006】また、DRAMにおいてメモリセル選択M

ISトランジスタの V_{th} (しきい値電圧) を高める課題があり、その具体的手段としてnチャネル形のMISトランジスタのゲート電極に導電形がp形が多結晶シリコンを用いることが特開平2-214155号公報、特開平4-58556号公報あるいは特開平9-36318号公報に開示されている。

【0007】

【発明が解決しようとする課題】メモリセル選択用MISトランジスタは、キャパシタとビット線との間に介在されて、その双方を電氣的に接続したり絶縁したりするためのスイッチング素子であり、半導体基板上に形成されたソース・ドレイン用の一対の半導体領域と、半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを有している。

【0008】このメモリセル選択用MISトランジスタが形成される活性領域は、素子分離領域によって規定されており、製造の容易性等からこの素子分離領域にはLOCOS (Local Oxidation of Silicon) が一般的に用いられている。

20 【0009】しかし、LOCOSと半導体基板との境界には反転防止用の不純物領域が必要であり、半導体基板と同一の導電形で高濃度の不純物領域がLOCOS下の半導体基板上に形成される。

【0010】このため、メモリセル選択用MISトランジスタの蓄積ノードの半導体領域と上記不純物領域との接合部において電界が大きくなり、メモリセルのリフレッシュ特性を劣化させる問題がある。

30 【0011】また、ロジック混載形DRAMでは、DRAMと論理回路とのプロセス上の統一化が図られており、例えばDRAMのメモリセル選択MISトランジスタのゲート絶縁膜と論理回路のMISトランジスタのゲート絶縁膜とは同時に形成されている。しかし、メモリセル選択用MISトランジスタでは、ワード線の電位の昇圧に際して高電圧が必要となるので、信頼性を確保する観点からゲート絶縁膜の膜厚をあまり薄くすることができない。このため、論理回路のMISトランジスタのゲート絶縁膜もメモリセル選択MISトランジスタのゲート絶縁膜にあわせて厚くしなければならず、論理回路のMISトランジスタにおいては、ゲート絶縁膜が必要

40 以上に厚くなり、駆動電流等の性能向上が阻害されるという問題がある。

【0012】本発明の目的は、ロジック混載形メモリを有する半導体集積回路装置において、リフレッシュ特性を向上させることのできる技術を提供することにある。

【0013】また、本発明の他の目的は、ロジック混載形メモリを有する半導体集積回路装置において、論理回路のMISトランジスタの駆動能力を向上させることのできる技術を提供することにある。

50 【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかに

なるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】本発明の半導体集積回路装置は、半導体基板上にMISトランジスタと容量素子とが直列接続されたメモリセルを有する半導体集積回路装置であって、前記MISトランジスタは、ゲート絶縁膜に接して多結晶シリコンが設けられたゲート電極を有しており、前記多結晶シリコンの導電形は、前記MISトランジスタのソース・ドレイン用の半導体領域の導電形とは逆であり、さらに、前記MISトランジスタが形成された半導体基板の活性領域を規定する素子分離領域は、前記半導体基板に形成された分離溝内に絶縁膜が埋め込まれて形成されているものである。

【0017】また、本発明の半導体集積回路装置は、前記メモリセルの周囲には論理回路が形成されており、前記論理回路を構成するMISトランジスタのゲート電極の導電形を、そのMISトランジスタにおけるソース・ドレイン用の半導体領域の導電形と同一の導電形としたものである。

【0018】また、本発明の半導体集積回路装置は、前記メモリセルのMISトランジスタのゲート絶縁膜の厚さを、前記論理回路を構成するMISトランジスタのゲート絶縁膜の厚さよりも相対的に厚く設けたものである。

【0019】また、本発明の半導体集積回路装置の製造方法は、半導体基板上にMISトランジスタと容量素子とが直列接続されたメモリセルを形成する半導体集積回路装置の製造方法であって、(a)前記半導体基板の主面上に分離溝を形成した後、前記分離溝に絶縁膜を埋め込み分離領域を形成する工程と、(b)前記半導体基板上にゲート絶縁膜を形成する工程と、(c)前記ゲート絶縁膜上に多結晶シリコン膜を堆積する工程と、(d)前記多結晶シリコン膜において、前記MISトランジスタのゲート電極形成領域に、前記MISトランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形の不純物を導入する工程とを有し、前記多結晶シリコン膜におけるゲート電極形成領域への不純物の導入工程に際して、前記不純物を、前記多結晶シリコン膜において前記メモリセル選択用MISトランジスタ以外の他のMISトランジスタのゲート電極形成領域にも同時に導入するものである。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する(なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する)。

【0021】図1は本発明の一実施の形態である半導体

集積回路装置の要部断面図、図2～図44は図1の半導体集積回路装置の製造工程中における要部断面図、図45は蓄積ノードの半導体領域と素子分離領域との界面での深さ方向の不純物濃度分布であり、(a)は、 n^+ ゲートの n チャネル形のMOS・FETでの不純物濃度分布、(b)は、 p^+ ゲートの n チャネル形のMOS・FETでの不純物濃度分布である。

【0022】まず、本実施の形態1のDRAMにおける断面構造を図1によって説明する。半導体基板1は、例えば p^- 形のシリコン単結晶からなり、そのメモリ領域には深い n ウエル2nwが形成されている。この深い n ウエル2nwには、例えば n 形不純物のリンが導入されている。

【0023】この深い n ウエル2nwの上層には p ウエル3pw_mが形成されている。この p ウエル3pw_mは、その周囲が深い n ウエル2nwによって取り囲まれて論理回路領域等から電気的に分離されている。この p ウエル3pw_mには、例えば p 形不純物のホウ素が導入されている。その p 形不純物の濃度は、例えば $10^{17} \sim 10^{18}/\text{cm}^3$ 程度である。

【0024】また、論理回路領域等における半導体基板1において、メモリ領域の p ウエル3pw_mとほぼ同じ程度の深さ領域には p ウエル3pw_pが形成されている。この p ウエル3pw_pには、例えば p 形不純物のホウ素が導入されている。その p 形不純物の濃度は、例えば $10^{17} \sim 10^{18}/\text{cm}^3$ 程度である。

【0025】また、論理回路領域等における半導体基板1において、メモリ領域の p ウエル3pw_mとほぼ同じ程度の深さ領域には n ウエル3nw_pが形成されている。 n ウエル3nw_pには、例えば n 形不純物のリンまたはヒ素(As)が導入されている。その n 形不純物の濃度は、例えば $10^{17} \sim 10^{18}/\text{cm}^3$ 程度である。

【0026】このような半導体基板1の上層部には、浅い溝掘り埋込形の素子分離領域4が形成されている。すなわち、この素子分離領域4は、半導体基板1の厚さ方向に掘られた $0.3 \sim 0.4 \mu\text{m}$ の深さの分離溝4a内に分離用の絶縁膜4b₁、4b₂が埋め込まれて形成されている。

【0027】この分離用の絶縁膜4b₁、4b₂は、例えば二酸化シリコン(SiO_2)等からなる。なお、この素子分離領域4の上面は、その高さが半導体基板1の主面の高さとほぼ一致するように平坦に形成されている。

【0028】浅い溝掘り埋込み形の素子分離領域4により、例えば次の効果を得ることが可能となっている。

【0029】すなわち、 $0.3 \sim 0.4 \mu\text{m}$ の深さの溝を有していること、および分離用の絶縁膜4b₁、4b₂下の半導体基板1の導電形が反転しにくいことから、素子分離領域4下の半導体基板1には、反転防止用の不純物領域を形成する必要がない。このため、後に説明される

メモリセル選択用MOS・FETの蓄積ノードの不純物領域と素子分離領域4との界面でのpn接合部の不純物濃度が低くなり、接合電界を小さくできることが可能となっている。

【0030】メモリ領域(図1の左側)における半導体基板1のpウェル $2pW_m$ 上にはDRAMのメモリセルが形成されている。このメモリセルは、1つのメモリセル選択用MOS・FETQと1つのキャパシタ(情報蓄積用容量素子)Cとから構成されている。

【0031】メモリセル選択用MOS・FETQは、pウェル $3pW_m$ の上部に互いに離間して形成された一対の半導体領域5a、5bと、半導体基板1上に形成されたゲート絶縁膜5iと、その上に形成されたゲート電極5gとを有している。なお、メモリセル選択用MOS・FETQのしきい値電圧は、例えば1V前後である。

【0032】半導体領域5a、5bは、メモリセル選択用MOS・FETQのソース・ドレインを形成するための領域であり、この領域には、例えばn形不純物のAsが導入されている。この半導体領域5a、5bの間においてゲート電極5gの直下にはメモリセル選択用MOS・FETQのチャネル領域が形成される。

【0033】また、ゲート電極5gは、ワード線WLの一部によって形成されており、例えば低抵抗ポリシリコン膜、窒化チタン(TiN)膜およびタングステン膜が下層から順に堆積され、ポリメタル構造を構成している。低抵抗ゲート電極材料としてのポリメタルは、そのシート抵抗が $2\Omega/\square$ 程度と低いことから、ゲート電極材料としてのみならず配線材料として利用することもできる。

【0034】このゲート電極5gにおける低抵抗ポリシリコン膜に、例えばp形不純物のホウ素が導入されている。これにより、例えば次の効果を得ることが可能となっている。

【0035】すなわち、半導体基板1の不純物濃度(すなわち、pウェル $3pW_m$ の不純物濃度;以下、基板濃度ともいう)を上げないでも、メモリセル選択用MOS・FETQのしきい値電圧を高くすることが可能となっているので、ゲート電極5gの直下のチャネル領域にはしきい値電圧調整用の不純物を導入する必要がなく、基板濃度を低減することができる。

【0036】これは、 p^+ 形のポリシリコンの仕事関数が5.15V程度であり、 n^+ 形のポリシリコンの4.15Vに対して約1V程度大きいので、基板濃度が同じでも、 p^+ 形ポリシリコンのゲート電極を用いたnチャネル形のメモリセル選択用MOS・FETQの方が、 n^+ 形ポリシリコンのゲート電極を用いたnチャネル形のメモリセル選択用MOS・FETよりも、そのしきい値電圧を約1V程度高くできるからである。

【0037】上記基板濃度の低減により、キャパシタCが接続される半導体領域5aの接合近傍の電界を緩和す

ることができるので、蓄積ノードと半導体基板1との間のリーク電流を低減することができる。しかも、基板濃度の低減によりメモリセル選択用MOS・FETQのサブスレッショルド電流を低減することができるので、同じしきい値でもMOS・FETのリーク電流を低減することができる。そして、これらのリーク電流の低減により、メモリセルのリフレッシュ特性を向上させることが可能となっている。

【0038】ゲート絶縁膜5iは、例えば SiO_2 からなり、その厚さは、例えば6~12nm程度、好ましくは8nm程度に設定されている。

【0039】このようなメモリセル選択用MOS・FETQのゲート電極5g、すなわち、ワード線WLの上面には、例えば SiO_2 等からなる絶縁膜を介して、例えば窒化シリコンからなるキャップ絶縁膜6が形成されている。なお、キャップ絶縁膜6の下層の絶縁膜はキャップ絶縁膜6からの応力を緩和するためのものである。

【0040】また、このキャップ絶縁膜6の表面、ゲート電極5g(ワード線WL)の側面および互いに隣接するワード線WL間における半導体基板1の主面上には、例えば窒化シリコンからなる絶縁膜7が形成されている。

【0041】一方、論理回路領域(図1の右側)におけるpウェル $3pW_p$ 上にはnチャネル形のMOS・FETQnが形成されている。nチャネル形のMOS・FETQnは、pウェル $3pW_p$ の上部に互いに離間して形成された一対の半導体領域8a、8bと、半導体基板1上に形成されたゲート絶縁膜8iと、その上に形成されたゲート電極8gとを有している。なお、このMOS・FETQnにおけるしきい値電圧は、例えば0.1V前後である。

【0042】半導体領域8a、8bは、nチャネル形のMOS・FETQnのソース・ドレインを形成するための領域であり、この半導体領域8a、8bの間においてゲート電極8gの直下にnチャネル形のMOS・FETQnのチャネル領域が形成される。

【0043】この半導体領域8a、8bはLDD(Lightly Doped Drain)構造となっている。すなわち、半導体領域8a、8bは、それぞれ低濃度領域 $8a_1$ 、 $8b_1$ と、高濃度領域 $8a_2$ 、 $8b_2$ とを有している。この低濃度領域 $8a_1$ 、 $8b_1$ は、チャネル領域側に形成されており、高濃度領域 $8a_2$ 、 $8b_2$ は、その外側に配置されている。

【0044】この低濃度領域 $8a_1$ 、 $8b_1$ には、例えばn形不純物のAsが導入されている。また、高濃度領域 $8a_2$ 、 $8b_2$ には、例えばn形不純物のAsが導入されているが、その不純物濃度は低濃度領域 $8a_1$ 、 $8b_1$ 中の不純物濃度よりも高く設定されている。なお、半導体領域8a、8bの上層部には、例えばチタンシサイド(TiSix)等からなるシリサイド層8cが形

成されている。

【0045】また、ゲート電極 8 g は、例えば低抵抗ポリシリコン膜、TiN 膜およびタングステン膜が下層から順に堆積されてなる。このゲート電極 8 g における低抵抗ポリシリコン膜には、例えば n 形不純物のリンまたは As が導入されている。また、ゲート電極 8 g を形成するタングステン膜等の金属膜は、ゲート電極 8 g のシート抵抗を $2 \sim 2.5 \Omega/\square$ 程度にまで低減できる機能を有している。これにより、DRAM の動作速度を向上させることが可能となっている。

【0046】ゲート絶縁膜 8 i は、例えば SiO_2 からなり、その厚さは、前記メモリセル選択用 MOS・FETQ のゲート絶縁膜 5 i と同様に、例えば $6 \sim 12 \text{ nm}$ 程度、好ましくは 8 nm 程度に設定されている。または、その厚さは、例えば 4 nm 程度に設定されており、メモリセル選択用 MOS・FETQ のゲート絶縁膜 5 i よりも薄く設定してもよく、n チャネル形の MOS・FETQ n の動作速度を向上させることが可能となる。

【0047】このゲート電極 8 g の上面には、例えば SiO_2 等からなる絶縁膜を介して、例えば窒化シリコンからなるキャップ絶縁膜 6 が形成されている。なお、キャップ絶縁膜 6 の下層の絶縁膜はキャップ絶縁膜 6 からの応力を緩和するためのものである。

【0048】また、このキャップ絶縁膜 6 およびゲート電極 8 g の側面には、例えば窒化シリコンからなるサイドウォール 9 が形成されている。なお、このサイドウォール 9 は、主として上記した低濃度領域 $8a_1$ 、 $8b_1$ と高濃度領域 $8a_2$ 、 $8b_2$ とを半導体基板 1 上に形成するためのイオン注入用のマスクとして用いられている。

【0049】また、論理回路領域における n ウエル $3n_{wp}$ 上には p チャネル形の MOS・FETQ p が形成されている。p チャネル形の MOS・FETQ p は、n ウエル $3n_{wp}$ の上部に互いに離間して形成された一対の半導体領域 $10a$ 、 $10b$ と、半導体基板 1 上に形成されたゲート絶縁膜 $10i$ と、その上に形成されたゲート電極 $10g$ とを有している。なお、この MOS・FETQ p におけるしきい値電圧は、例えば 0.1 V 前後である。

【0050】半導体領域 $10a$ 、 $10b$ は、p チャネル形の MOS・FETQ p のソース・ドレインを形成するための領域であり、この半導体領域 $10a$ 、 $10b$ の間においてゲート電極 $10g$ の直下に p チャネル形の MOS・FETQ p のチャネル領域が形成される。

【0051】この半導体領域 $10a$ 、 $10b$ は LDD (Lightly Doped Drain) 構造となっている。すなわち、半導体領域 $10a$ 、 $10b$ は、それぞれ低濃度領域 $10a_1$ 、 $10b_1$ と、高濃度領域 $10a_2$ 、 $10b_2$ とを有している。この低濃度領域 $10a_1$ 、 $10b_1$ は、チャネル領域側に形成されており、高濃度領域 $10a_2$ 、 $10b_2$ はその外側に配置されている。

【0052】低濃度領域 $10a_1$ 、 $10b_1$ には、例えば p 形不純物のホウ素が導入されている。また、高濃度領域 $10a_2$ 、 $10b_2$ には、例えば p 形不純物のホウ素が導入されているが、その不純物濃度は低濃度領域 $10a_1$ 、 $10b_1$ 中の不純物濃度よりも高く設定されている。なお、半導体領域 $10a$ 、 $10b$ の上層部には、例えばチタンシリサイド (TiSi_x) 等からなるシリサイド層 $10c$ が形成されている。

10 【0053】ゲート電極 $10g$ は、例えば低抵抗ポリシリコン膜、TiN 膜およびタングステン膜が下層から順に堆積されて形成されている。

【0054】このゲート電極 $10g$ における低抵抗ポリシリコン膜には、例えば p 形不純物のホウ素が導入されている。これにより、低電圧動作対応の p チャネル形の MOS・FETQ p のしきい値電圧を下げることで、その特性および動作信頼性の向上が図られている。また、ゲート電極 8 g を形成するタングステン膜等の金属膜は、ゲート電極 8 g のシート抵抗を $2 \sim 2.5 \Omega/\square$ 程度にまで低減できる機能を有している。これにより、DRAM の動作速度を向上させることが可能となっている。

【0055】ゲート絶縁膜 $10i$ は、例えば SiO_2 からなり、その厚さは、前記メモリセル選択用 MOS・FETQ のゲート絶縁膜 5 i と同様に、例えば $6 \sim 12 \text{ nm}$ 程度、好ましくは 8 nm 程度に設定されている。または、その厚さは、例えば 4 nm 程度に設定されており、メモリセル選択用 MOS・FETQ のゲート絶縁膜 5 i よりも薄く設定してもよく、p チャネル形の MOS・FETQ p の動作速度を向上させることが可能となる。

【0056】このゲート電極 $10g$ の上面には、例えば SiO_2 等からなる絶縁膜を介して、例えば窒化シリコンからなるキャップ絶縁膜 6 が形成されている。なお、キャップ絶縁膜 6 の下層の絶縁膜はキャップ絶縁膜 6 からの応力を緩和するためのものである。

【0057】また、このキャップ絶縁膜 6 およびゲート電極 $10g$ の側面には、例えば窒化シリコン等からなるサイドウォール 9 が形成されている。なお、このサイドウォール 9 は、主として上記した低濃度領域 $10a_1$ 、 $10b_1$ と高濃度領域 $10a_2$ 、 $10b_2$ とを半導体基板 1 上に形成するためのイオン注入用のマスクとして用いられている。

【0058】なお、これらの n チャネル形の MOS・FETQ n および p チャネル形の MOS・FETQ p によって、DRAM のセンスアンプ回路、カラムデコード回路、カラムドライバ回路、ロウデコード回路、ロウドライバ回路、I/O セレクタ回路、データ入力バッファ回路、データ出力バッファ回路および電源回路等のような論理回路が形成されている。

50 【0059】このようなメモリセル選択用 MOS・FETQ

TQ、pチャネル形のMOS・FETQpおよびnチャネル形のMOS・FETQn等の半導体集積回路素子は、半導体基板1上に堆積された層間絶縁膜11a~11cによって被覆されている。

【0060】層間絶縁膜11a~11cは、例えばSiO₂等からなる。このうち、層間絶縁膜11aは、例えばSOG(Spin On Glass)法によって堆積されている。また、層間絶縁膜11b、11cは、例えばプラズマCVD法等によって堆積されている。層間絶縁膜11cの上面は、メモリ領域と論理回路領域とでその高さがほぼ一致するように平坦に形成されている。

【0061】メモリ領域における層間絶縁膜11a~11c、絶縁膜7には、半導体領域5a、5bが露出するような接続孔12a、12bが穿孔されている。この接続孔12a、12bの下部においてゲート電極5g(ワード線WL)の幅方向の寸法は、互いに隣接するゲート電極5g(ワード線WL)の側面の絶縁膜7部分によって規定されている。すなわち、接続孔12a、12bはゲート電極5g(ワード線WL)側面の絶縁膜7によって自己整合的に穿孔されている。

【0062】これにより、この接続孔12a、12bのパターンを転写するための露光処理に際して、その接続孔12a、12bのパターンとメモリセル選択用MOS・FETQsの活性領域との相対的な平面位置が多少ずれてしまったとしても、この接続孔12a、12bからゲート電極5g(ワード線WL)の一部が露出しないようになっている。

【0063】この接続孔12a、12b内にはそれぞれプラグ13a、13bが埋め込まれている。プラグ13a、13bは、例えばn形不純物のリンが含有された低抵抗ポリシリコンからなり、それぞれメモリセル選択用MOS・FETQの半導体領域5a、5bと電気的に接続されている。なお、プラグ13bの上面には、例えばTiSi_x等のようなシリサイド膜が形成されている。

【0064】層間絶縁膜11c上には層間絶縁膜11dが堆積されている。この層間絶縁膜11dは、例えばSiO₂等からなり、例えばプラズマCVD法等によって形成されている。この層間絶縁膜11d上には、ビット線BLおよび第1層配線14(14a~14c)が形成されている。

【0065】このビット線BLは、例えばTi膜、TiN膜およびタングステン膜が下層から順に堆積されてなり、層間絶縁膜11dに穿孔された接続孔15を通じてプラグ13bと電気的に接続され、さらに、プラグ13bを通じてメモリセル選択MOS・FETQの半導体領域5bと電気的に接続されている。このビット線BLの表面(上面および側面)には、例えば窒化シリコンからなる絶縁膜16が被覆されている。

【0066】なお、ビット線BLはワード線WLの延在方向に対して交差する方向に延びている。したがって、

図1に示すような断面にはビット線BLは示されないのが通常であるが、ビット線BLが配置されている配線層を示すために、また、ビット線BL表面に被覆された絶縁膜16の作用を後述するために等の理由からビット線BLを示している。

【0067】一方、論理回路領域の第1層配線14は、ビット線BLと同様に、例えばTi膜、TiN膜およびタングステン膜が下層から順に堆積されてなり、その表面(上面および側面)には、例えば窒化シリコンからなる絶縁膜16が被覆されている。

【0068】このうち、第1層配線14aは、層間絶縁膜11a~11dに穿孔された接続孔17を通じてnチャネル形のMOS・FETQnの半導体領域8aと電気的に接続されている。また、第1層配線14bは、層間絶縁膜11a~11dも穿孔された接続孔17を通じてnチャネル形のMOS・FETQnの半導体領域8bおよびpチャネル形のMOS・FETQpの半導体領域10aと電気的に接続されている。さらに、第1層配線14cは、層間絶縁膜11a~11dに穿孔された接続孔17を通じてpチャネル形のMOS・FETQpの半導体領域10bと電気的に接続されている。

【0069】層間絶縁膜11dの上面には、層間絶縁膜11e~11gが下層から順に堆積されており、これにより、絶縁膜16が被覆されている。層間絶縁膜11e~11gは、例えばSiO₂等からなる。このうち、層間絶縁膜11eは、例えばSOG(Spin On Glass)法によって堆積されている。また、層間絶縁膜11f、11gは、例えばプラズマCVD法等によって形成されている。層間絶縁膜11gの上面は、メモリ領域と論理回路領域とでその高さがほぼ一致するように平坦に形成されている。

【0070】メモリ領域における層間絶縁膜11d~11gにはプラグ13aの上面が露出するような接続孔18が穿孔されている。本実施の形態においては、ビット線BLの表面に窒化シリコン等からなる絶縁膜16が被覆されているので、この接続孔18の平面的な位置が、ビット線BLの幅方向にずれてビット線BLに重なるようになったとしても、窒化シリコン等からなる絶縁膜16がエッチングストップとして機能するので、その接続孔18からビット線BLが直接露出してしまうのを防止することが可能となっている。

【0071】この接続孔18内にはプラグ19が埋め込まれている。プラグ19は、例えばn形不純物のリンが含有された低抵抗ポリシリコンからなり、プラグ13aと電気的に接続され、さらに、これを通じてメモリセル選択用MOS・FETQの半導体領域5aと電気的に接続されている。

【0072】層間絶縁膜11gの上面には、層間絶縁膜11h、11iが堆積されている。層間絶縁膜11hは、例えば窒化シリコンからなり、主としてメモリ領域

10

20

30

40

50

を覆うように形成されている。層間絶縁膜11iは、例えばSiO₂等からなる。この層間絶縁膜11h, 11iには、プラグ19の上面が露出するような開口部20が開口されており、この開口部20内に上記メモリセルのキャパシタCが形成されている。

【0073】キャパシタCは、例えばクラウン形状に形成されており、蓄積電極21aと、その表面に被覆された容量絶縁膜21bと、その表面に被覆されたプレート電極21cとから構成されている。

【0074】キャパシタCの蓄積電極21aは、例えば低抵抗ポリシリコンからなり、その表面には、キャパシタCの占有面積を増やさずに容量を増大させるべく、例えば複数の微細な凹凸が形成されている。

【0075】この蓄積電極21aの下部は、開口部20を通じてプラグ19と電気的に接続され、これを通じてメモリセル選択用MOS・FETQの半導体領域5aと電気的に接続されている。なお、図1のメモリ領域と論理回路領域との境界領域(図1のほぼ中央)に配置されている蓄積電極21a1はダミーである。

【0076】また、キャパシタCの容量絶縁膜21bは、例えば酸化タンタル(Ta₂O₅)等からなる。キャパシタCのプレート電極21cは、例えばTiN等からなり、複数の蓄積電極21aを覆うように形成されている。

【0077】層間絶縁膜11i上には、層間絶縁膜11jが堆積されており、これによってプレート電極21cが被覆されている。この層間絶縁膜11jは、例えばSiO₂等からなり、その上面には第2層配線22(22a, 22b)が形成されている。

【0078】第2層配線22は、例えばTiN膜、アルミニウム(Al)膜およびTi膜が下層から順に堆積されてなる。論理回路領域における第2層配線22bは、層間絶縁膜11e~11g, 11i, 11jおよび絶縁膜16に穿孔された接続孔23内の導体膜24を通じて第1層配線14bと電気的に接続されている。この導体膜24は、例えばTiN膜およびタングステン膜が下層から順に堆積されてなる。

【0079】層間絶縁膜11j上には、層間絶縁膜11k, 11m, 11nが下層から順に堆積されており、これによって第2層配線22が被覆されている。層間絶縁膜11k, 11nは、例えばSiO₂等からなり、例えばプラズマCVD法等によって形成されている。層間絶縁膜11mは、例えばSiO₂等からなり、例えばSO₂G法等によって形成されている。

【0080】層間絶縁膜11n上には、第3層配線25(25a~25c)が形成されている。第3層配線25は、例えばTiN膜、Al膜およびTi膜が下層から順に堆積されてなる。

【0081】このうち、論理回路領域における第3層配線25bは、層間絶縁膜11j, 11k, 11m, 11

nに穿孔された接続孔26内の導体膜27を通じてプレート電極21cと電気的に接続されている。また、論理回路領域における第3層配線25cは、層間絶縁膜11k, 11m, 11nに穿孔された接続孔28内の導体膜29を通じて第2層配線22bと電気的に接続されている。導体膜27, 29は、例えばTiN膜およびタングステン膜が下層から順に堆積されてなる。

【0082】第3層配線25の上部には、例えば酸化シリコン膜と窒化シリコン膜とを積層した2層の絶縁膜等で構成されたパッシベーション膜が形成されているが、それらの図示は省略する。

【0083】次に、本実施の形態1の半導体集積回路装置の製造方法の一例を図2~図44によって説明する。

【0084】まず、図2に示すように、p形のSi単結晶からなる半導体基板1を熱処理してその表面に、例えば膜厚10~30nm程度のSiO₂等からなるパッド膜30を形成した後、このパッド膜30上に、例えば膜厚100~200nm程度の窒化シリコン等からなる耐酸化性膜31をCVD(Chemical Vapor Deposition)法によって堆積する。

【0085】続いて、図3に示すように耐酸化性膜31上に形成したフォトリジスト32aをエッチングマスクにして素子分離領域の耐酸化性膜31、パッド膜30、半導体基板1を順次エッチングすることにより、半導体基板1に深さ350~400nm程度の分離溝4aを形成する。この際、耐酸化性膜31をエッチングするガスは、例えばCF₄+CHF₃+ArまたはCF₄+Arを使用し、半導体基板1をエッチングするガスは、例えばHBr+Cl₂+He+O₂を使用する。

【0086】その後、図4に示すように、エッチングにより分離溝4aの内壁に生じたダメージ層を除去するために、酸化処理を施して分離溝4aの内面に、例えばSiO₂からなる絶縁膜4b₁を形成した後、図5に示すように、半導体基板1上に、例えばSiO₂等からなる絶縁膜4b₂をCVD法により堆積する。この際、絶縁膜4b₂は、例えばTEOS(Tetraethoxysilane)ガスを用いたプラズマCVD法等によって形成する。

【0087】次いで、絶縁膜4b₂上に、例えば窒化シリコンからなる絶縁膜33をCVD法等によって堆積した後、この絶縁膜33を、図7に示すように、フォトリジスト32bをエッチングマスクにして、相対的に幅(面積)の広い素子分離領域上に窒化シリコン等からなる絶縁膜33aのパターンを形成する。

【0088】素子分離領域の上部に残った窒化シリコン等からなる絶縁膜33aは、次の工程で絶縁膜4b₂を化学的機械研磨(Chemical Mechanical Polishing; CMP)法で研磨して平坦化する際、相対的に広い面積の分離溝4aの内部の絶縁膜4b₂が相対的に狭い面積の素子分離領域の分離溝4aの内部の絶縁膜4b₂に比べて深く研磨される現象(ディッシング; dishing)を防止

10

20

30

40

50

するために形成される。

【0089】続いて、絶縁膜4b₂を、絶縁膜31、33aをストップに用いたCMP法によって研磨して分離溝4aの内部に残すことにより、図8に示すように、素子分離領域4を形成する。この際、本実施の形態においては、相対的に幅(面積)の広い素子分離領域4上に絶縁膜33aのパターンを設けたことにより、素子分離領域4における分離用の絶縁膜4b₂上面の削れを防止することができる。このため、素子分離領域4における分離用の絶縁膜4b₂の上面の高さを半導体基板1の主面の高さにはほぼ一致させることが可能となっている。

【0090】次いで、耐酸化性膜31および絶縁膜33a熱リン酸等により除去し、パッド膜30を除去した後、半導体基板1に対してプレ酸化処理を施す。

【0091】続いて、半導体基板1上にメモリ領域が露出するような深いnウエル形成用のフォトリソグレイストパターンを形成した後、それをマスクとして半導体基板1のメモリ領域に、例えばn形不純物のリンをイオン注入する。

【0092】その後、深いnウエル形成用のフォトリソグレイストパターンを除去した後、半導体基板1上にpウエル領域が露出するようなフォトリソグレイストパターンを形成し、それをマスクとして半導体基板1のpウエル形成領域に、例えばp形不純物のホウ素等をイオン注入する。

【0093】次いで、pウエル形成用のフォトリソグレイストパターンを除去した後、半導体基板1上にnウエル領域が露出するようなフォトリソグレイストパターンを形成し、それをマスクとして半導体基板1のnウエル形成領域に、例えばn形不純物のリン等をイオン注入する。

【0094】続いて、nウエル形成用のフォトリソグレイストパターンを除去した後、半導体基板1に対して熱処理を施すことにより、図9に示すように、半導体基板1に深いnウエル2nw、pウエル3pw_n、3pw_p、nウエル3nw_pを形成する。

【0095】この深いnウエル2nwは、入出力回路等から半導体基板1を通じてメモリ領域のpウエル3pw_nにノイズが侵入するのを防止してメモリセル内蓄積電荷の消除を防止するために形成される。

【0096】その後、半導体基板1に対して熱酸化処理またはウェット酸化処理を施すことにより、半導体基板1の活性領域主面上に、例えば6~12nm好ましくは膜厚8nm程度のSiO₂からなるゲート絶縁膜5i、8i、10iを形成する。

【0097】次いで、図10に示すように、半導体基板1上に、ポリシリコン膜34をCVD法等によって堆積する。

【0098】続いて、半導体基板1上に形成されるMOS・FETのゲート電極における導電形を設定するための不純物導入工程に移行する。

【0099】すなわち、図11に示すように、ポリシリ

コン膜34上に、論理回路領域におけるnチャネル形のMOS・FET形成領域が露出するようなフォトリソグレイスト32cを形成した後、これをマスクとして、例えばn形不純物のリンまたはヒ素(As)をポリシリコン膜34にイオン注入する。

【0100】続いて、フォトリソグレイスト32cを除去した後、図12に示すように、メモリセル選択用MOS・FET形成領域および論理回路領域におけるpチャネル形のMOS・FET形成領域が露出するようなフォトリソグレイスト32dを形成した後、これをマスクとして、例えばp形不純物のホウ素またはBF₂をポリシリコン膜34にイオン注入する。

【0101】このホウ素またはBF₂等のようなp形不純物のイオン注入に際しては、注入エネルギーを制御することにより、ホウ素等がポリシリコン膜34のあまり深い位置まで到らないようにしても良い。

【0102】これは、ホウ素等をポリシリコン膜34の下層部の深い位置にまで導入してしまうと、ホウ素等がその後の熱プロセスによってゲート絶縁膜5iを突き抜けて半導体基板1に拡散してしまう現象が生じ易くなると考えられるので、それを抑制するためである。

【0103】次いで、図13に示すように、ポリシリコン膜34上に、例えばTiNまたは窒化タングステン等からなるバリア金属膜35、例えばタングステン等からなる金属膜36および例えば窒化シリコンからなる絶縁膜6を下層から順に堆積する。

【0104】続いて、図14に示すように、絶縁膜6上に形成したゲート電極形成用のフォトリソグレイスト32eをエッチングマスクとしてエッチング処理を施すことにより、ゲート電極5g(すなわち、ワード線WL)、ゲート電極8g、10gおよびキャップ絶縁膜6をパターン形成する。

【0105】ゲート電極5gは、メモリセル選択用MOS・FETの一部を構成し、活性領域以外の領域ではワード線WLとして機能する。このゲート電極5g(ワード線WL)の幅、すなわちゲート長は、メモリセル選択用MOS・FETの短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法(例えば0.24μm)で構成される。また、隣接する2本のゲート電極5g(ワード線WL)の間隔は、フォトリソグラフィの解像限界で決まる最小寸法(例えば0.22μm)で構成される。ゲート電極8gおよびゲート電極10gは、論理回路のnチャネル形のMOS・FETおよびpチャネル形のMOS・FETの各一部を構成する。

【0106】次いで、半導体基板1上にnチャネル形のMOS・FET(メモリセル選択用MOS・FETを含む)が露出するようなフォトリソグレイストを形成した後、それをマスクとして半導体基板1に、例えばn形不純物のAsをイオン注入する。

【0107】続いて、そのnチャネル形のMOS・FET用のフォトレジストを除去した後、半導体基板1上にpチャネル形のMOS・FETが露出するようなフォトレジストを形成し、それをマスクとして半導体基板1に、例えばp形不純物のホウ素をイオン注入する。イオン注入後約800℃のアニール処理が行なわれる。これらの不純物導入工程は、図15に示す低濃度領域5a₁, 5b₁, 8a₁, 8b₁, 10a₁, 10b₁を形成するための不純物導入工程である。

【0108】次いで、図16に示すように、半導体基板1上に、例えば窒化シリコンからなる絶縁膜7をCVD法等によって堆積した後、図17に示すように、絶縁膜7上に形成したフォトレジスト32fをエッチングマスクとして異方性ドライエッチング処理を施す。これにより、メモリ領域においては絶縁膜7を残し、論理回路領域においてはゲート電極8g, 10gの側面に窒化シリコン等からなるサイドウォール9を形成する。

【0109】このエッチングは、ゲート絶縁膜5i, 8i, 10iや素子分離領域4に埋め込まれた絶縁膜4b₁, 4b₂の削れ量を最少とするために、酸化シリコン膜に対する窒化シリコン膜のエッチングレートが大きくなるようなエッチングガスを使用して行う。また、ゲート電極8g, 10g上の窒化シリコン膜等からなる絶縁膜6の削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめるようにする。

【0110】続いて、半導体基板1上に、論理回路領域におけるnチャネル形のMOS・FETの形成領域が露出するようなフォトレジストを形成した後、そのフォトレジスト、ゲート電極8gおよびサイドウォール9をマスクとして、例えばn形不純物のAsをイオン注入法等によって導入する。

【0111】続いて、半導体基板1上に、論理回路領域におけるpチャネルMOS・FETの形成領域が露出するようなフォトレジストを形成した後、そのフォトレジスト、ゲート電極10gおよびサイドウォール9をマスクとして、例えばp形不純物のホウ素をイオン注入法等によって導入する。

【0112】その後、半導体基板1に対して、例えば窒素ガス雰囲気中において熱処理を施すことにより、半導体基板1の論理回路領域に、高濃度領域8a₂, 8b₂, 10a₂, 10b₂を形成する。これにより、図19に示すように、論理回路用のnチャネル形のMOS・FETQnおよびpチャネル形のMOS・FETQpを形成する。

【0113】次いで、図19に示すように、半導体基板1上に、例えばSiO₂等からなる層間絶縁膜11aをSOG法等によって堆積する。

【0114】続いて、この層間絶縁膜11a上に、例えばTEOS (Tetraethoxysilane) ガスを用いたプラズマCVD法等によってSiO₂等からなる絶縁膜を堆積

した後、その上部をCMP法等によってエッチバックすることにより、図20に示すように、層間絶縁膜11a上に層間絶縁膜11bを形成する。

【0115】その後、その層間絶縁膜11b上に、例えばTEOSガスを用いたプラズマCVD法等によってSiO₂等からなる層間絶縁膜11cを形成する。この層間絶縁膜11cは、CMP法により層間絶縁膜11bの上部に形成された損傷等を覆う機能を有しており、その上面はメモリ領域と論理回路領域とでその高さがほぼ一致するように平坦に形成されている。

【0116】続いて、図21に示すように、その層間絶縁膜11c上に、プラグ用の接続孔が露出するようなフォトレジスト32gを形成する。この際、本実施の形態1においては、層間絶縁膜11cの上面を平坦にしているので、充分なフォトリソグラフィマージンを確保することができ、良好なパターン転写が可能である。

【0117】その後、そのフォトレジスト32gをエッチングマスクとして、プラグ用の接続孔を穿孔するためのエッチング処理を施す。本実施の形態1においては、そのエッチング処理を、例えば次のようにする。

【0118】まず、図21に示すように、絶縁膜7やキャップ絶縁膜6等が表出した時点でエッチングが止まるように、SiO₂膜は除去されるが窒化シリコン膜は除去され難い条件でエッチング処理を施す。この際のエッチングガスとしては、例えばC₄F₈/アルゴン (Ar) 等の混合ガスを用いる。

【0119】続いて、エッチング条件を、窒化シリコン膜は除去されるがSiO₂膜は除去され難い条件に変えることにより、図22に示すように、半導体基板1の一部が露出するようなプラグ用の接続孔12a, 12bを穿孔する。これにより、フォトリソグラフィの解像限界以下の微細な径を有する接続孔12a, 12bを形成することができる。この際のエッチングガスとしては、例えばCHF₃/Ar/CF₄等の混合ガスを用いる。

【0120】このようなエッチング処理を行う理由は、そのようにしないと、プラグ用の接続孔12a, 12bを形成するためのエッチング処理によって、そのプラグ用の接続孔12a, 12bから露出する素子分離領域4の分離用の絶縁膜4b₁, 4b₂がエッチング除去されてしまい不良が生じるからである。

【0121】その後、フォトレジスト32gを除去した後、接続孔12a, 12bから露出する半導体基板1に、例えばn形不純物のリンをイオン注入する。これは電界緩和用の不純物導入工程である。

【0122】次いで、半導体基板1上に、例えばn形不純物を含有する低抵抗ポリシリコンをCVD法等によって堆積した後、その低抵抗ポリシリコンをエッチバックすることにより、図23に示すように、プラグ用の接続孔12a, 12b内にプラグ13a, 13bを形成する。

10

20

30

40

50

【0123】続いて、図24に示すように、半導体基板1上に、例えば SiO_2 等からなる層間絶縁膜11dをCVD法等によって堆積することにより、プラグ13a, 13bの上面を被覆する。

【0124】なお、図24中の符号5a₂, 5b₂は、上記した電界緩和用の不純物導入工程によって導入されたリンを含有する高濃度領域であり、この高濃度領域5a₂, 5b₂と低濃度領域5a₁, 5b₁とで、メモリセル選択用MOS・FETQの半導体領域5a, 5bが構成されている。

【0125】その後、図25に示すように、その層間絶縁膜11d上に、ビット線用の接続孔形成用のフォトレジスト32hを形成した後、これをエッチングマスクとして層間絶縁膜11dにプラグ13bの上面が露出するような接続孔15を穿孔する。

【0126】次いで、そのフォトレジスト32hを除去した後、図26に示すように、その層間絶縁膜11d上に、論理回路用の接続孔形成用のフォトレジスト32iを形成し、これをエッチングマスクとして層間絶縁膜11a~11dに半導体基板1の上面(半導体領域8a, 8b, 10a, 10b)が露出するような接続孔17を穿孔する。

【0127】続いて、フォトレジスト32iを除去した後、図27に示すように、半導体基板1上に、例えばTi膜およびTiN膜をスパッタリング法等によって下層から順に堆積し、その上に、例えばタングステン膜をCVD法等によって積み重ねて導体膜37を形成し、さらにその上に、例えば窒化シリコンからなる絶縁膜16aをCVD法等によって堆積する。

【0128】なお、図27中の符号8c, 10cは、例えば導体膜37の下層のTi膜と半導体基板1との熱処理反応によって形成された TiSi_x 等のようなシリサイド層である。

【0129】その後、図28に示すように、絶縁膜16a上に配線形成用のフォトレジスト32jを形成し、これをエッチングマスクとして絶縁膜16aおよび導体膜37をエッチング法によってパターンニングすることにより、ビット線BLおよび第1層配線14を形成する。

【0130】次いで、フォトレジスト32jを除去した後、半導体基板1上に、例えば窒化シリコンからなる絶縁膜を堆積した後、その絶縁膜をエッチバックすることにより、図29に示すように、ビット線BLおよび第1層配線14の側面にサイドウォール16bを形成する。

【0131】続いて、図30に示すように、例えば SiO_2 等からなる層間絶縁膜11eをSOG法等によって堆積することにより、ビット線BLおよび第1層配線14を被覆する。

【0132】その後、この層間絶縁膜11e上に、例えばTEOSガスを用いたプラズマCVD法等によって SiO_2 等からなる絶縁膜を堆積した後、その上部をCM

P法等によってエッチバックすることにより、図31に示すように、層間絶縁膜11e上に層間絶縁膜11fを形成する。

【0133】その後、その層間絶縁膜11f上に、例えばTEOSガスを用いたプラズマCVD法等によって SiO_2 等からなる層間絶縁膜11gを形成する。この層間絶縁膜11gは、層間絶縁膜11fの上部にCMP法により形成された損傷等を覆う機能を有しており、層間絶縁膜11gの上面はメモリ領域と論理回路領域とでその高さがほぼ一致するように平坦に形成されている。

【0134】続いて、図32に示すように、その層間絶縁膜11g上に、プラグ用の接続孔が露出するようなフォトレジスト32kを形成する。この際、本実施の形態においては、層間絶縁膜11gの上面を平坦にしているので、充分なフォトリソグラフィマージンを確保することができ、良好なパターン転写が可能である。

【0135】その後、そのフォトレジスト32kをエッチングマスクとして、層間絶縁膜11d~11gに、プラグ13aの上面が露出するような接続孔18を穿孔した後、フォトレジスト32kを除去する。

【0136】この際、本実施の形態においては、このエッチング処理に際して、 SiO_2 膜に対する窒化シリコン膜のエッチングレートが大きくなるような条件で行う。これにより、ビット線BLの表面に窒化シリコンからなる絶縁膜16が形成されているので、仮に接続孔18とプラグ13aとの間に相対的な位置ずれが生じ接続孔18のパターンが平面的にビット線BLに重なってしまったとしても、絶縁膜16がエッチングストップとなるので、ビット線BLが接続孔18から露出してしまふのを防止することが可能となっている。

【0137】次いで、半導体基板1上に、例えば低抵抗ポリシリコンからなる導体膜をCVD法等によって堆積した後、その導体膜が接続孔18内のみに残るようにエッチバックすることにより、図33に示すように、接続孔18内にプラグ19を形成する。

【0138】続いて、図34に示すように、半導体基板1上に、例えば窒化シリコンからなる絶縁膜11hをCVD法等によって堆積した後、その上にメモリ領域を覆うようなフォトレジスト32mを形成し、それをエッチングマスクとして絶縁膜11hをエッチング法によってパターンニングする。

【0139】その後、フォトレジスト32mを除去した後、図35に示すように、半導体基板1上に、例えばTEOSガスを用いたプラズマCVD法等によって SiO_2 等からなる層間絶縁膜11iを形成する。

【0140】次いで、その層間絶縁膜11i上にキャパシタ形成用のフォトレジスト32nを形成した後、それをエッチングマスクとしてフォトレジスト32nから露出する層間絶縁膜11i, 11hを除去することにより、プラグ19の上面が露出するような開口部20を形

成する。

【0141】続いて、図36に示すように、半導体基板1上に、例えば低抵抗ポリシリコンからなる導体膜38をCVD法等によって堆積する。これにより、層間絶縁膜11iの上面および開口部20の内面に導体膜38が被着される。

【0142】その後、図37に示すように、半導体基板1上に、例えばSiO₂等からなる絶縁膜39をSOG法等によって堆積する。ここでは、その絶縁膜39の上面がほぼ平坦になる程度まで絶縁膜39を堆積する。

【0143】次いで、その絶縁膜39を、層間絶縁膜11i上の導体膜38が露出する程度までエッチング除去した後、露出した導体膜38をエッチバックすることにより、図38に示すように、開口部20内に低抵抗ポリシリコン等からなる蓄積電極21aおよびダミー蓄積電極21a₁を形成する。

【0144】続いて、図39に示すように、半導体基板1上にダミー蓄積電極21a₁および論理回路領域を被覆するようなフォトリソスト32p形成した後、それをエッチングマスクとして層間絶縁膜11iをウエットエッチ法等により除去することにより、蓄積電極21aの表面を露出させる。この際、層間絶縁膜11hはウエットエッチング処理時におけるエッチングストップとして機能するとともに、蓄積電極21aを固定する部材としても機能する。

【0145】また、フォトリソスト32pの端部をメモリ領域と論理回路領域との境界部、すなわちダミー蓄積電極21a₁上に配置する。このようにすると、フォトリソスト32pの端部に合わせずれが生じた場合でも、メモリ領域の最も外側に形成される蓄積電極21aの内部に絶縁膜が残ったり、論理回路領域の層間絶縁膜11iがエッチングされたりすることはない。

【0146】その後、フォトリソスト32pを除去した後、図40に示すように、蓄積電極21aの表面を窒化し、さらにその表面に、例えば酸化タンタル(Ta₂O₅)からなる容量絶縁膜21bを被覆する。

【0147】次いで、図41に示すように、例えばTiNからなる導体膜を、半導体基板1上に堆積した後、その導体膜を、その上面に形成したプレート電極形成用のフォトリソスト32qをエッチングマスクとしてパターンニングすることにより、プレート電極21cを形成する。これにより、情報蓄積用のキャパシタCを形成する。

【0148】続いて、フォトリソスト32qを除去した後、図42に示すように、例えばTEOSガスを用いたプラズマCVD法等によってSiO₂等からなる層間絶縁膜11jを半導体基板1上に形成する。これにより、プレート電極21cを被覆する。

【0149】その後、層間絶縁膜11j上に論理回路の接続孔形成用のフォトリソスト32rを形成した後、そ

れをエッチングマスクとして、第1層配線14bの一部が露出するような接続孔23を穿孔する。

【0150】次いで、フォトリソスト32rを除去した後、半導体基板1上に、例えばTiNおよびタングステンを下層から順にスパッタリング法等によって堆積し、これをエッチバックすることにより、図43に示すように、接続孔23内に導体膜24を埋め込む。

【0151】続いて、半導体基板1上に、例えばTiN、AlおよびTiを下層から順にスパッタリング法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターンニングすることにより、図44に示すように、層間絶縁膜11j上に第2層配線22を形成する。

【0152】その後、第2層配線22の形成工程と同様の配線形成工程を経て、図1に示したように半導体基板1上に第3層配線25を形成してDRAMを製造する。

【0153】次に、メモリセル選択用MOS・FETの蓄積ノードの半導体領域と素子分離領域との界面での深さ方向の不純物濃度分布を図45に示す。(a)は、従来のn⁺ゲートのメモリセル選択用MOS・FETでの不純物濃度分布であり、(b)は、本実施の形態のp⁺ゲートのメモリセル選択用MOS・FETでの不純物濃度分布である。

【0154】従来のn⁺ゲートのメモリセル選択用MOS・FETでは、チャネル領域に不純物の導入が必要であるため、蓄積ノードの半導体領域と半導体基板との接合部での不純物濃度は約10¹⁸cm⁻³と高くなる。これに対して、本実施の形態であるp⁺ゲートのメモリセル選択用MOS・FETでは、チャネル領域に不純物の導入を必要としないため、上記接合部での不純物濃度は約5×10¹⁶cm⁻³と低く、接合部での電界強度が小さくなることが可能となる。

【0155】このように本実施の形態によれば、以下の効果を得ることが可能となる。

【0156】(1).メモリセル選択用MOS・FETQのゲート電極5gを構成する低抵抗ポリシリコンの導電性をp⁺形としたことにより、半導体基板1の不純物濃度(すなわち、pウェル3pw_mの不純物濃度:基板濃度)を上げなくても、メモリセル選択用MOS・FETQのしきい値電圧を高くすることが可能となる。

【0157】(2).素子分離領域4下の半導体基板1には、反転防止用のp形の不純物領域を形成する必要がないので、メモリセル選択用MOS・FETQのキャパシタCが接続される半導体領域5aと素子分離領域4との界面近傍での接合電界を緩和することができる。

【0158】(3).上記(1)により、基板濃度を低減することができるので、キャパシタCが接続される半導体領域5aの接合近傍の電界を緩和することができる。このため、蓄積ノードと半導体基板1との間のリーク電流を低減することが可能となる。

【0159】(4). 上記(1)により、基板濃度を低減することができるので、メモリセル選択用MOS・FETQのサブスレッショルド電流を低減することができる。このため、同じしきい値でもMOS・FETのリーク電流を低減することが可能となる。

【0160】(5). 上記(2), (3) および(4)により、メモリセルのリフレッシュ特性を向上させることが可能となる。

【0161】(6). 論理回路用のnチャネル形のMOS・FETQnおよびpチャネル形のMOS・FETQpのゲート絶縁膜8i, 10iの厚さをメモリセル選択用MOS・FETQのゲート絶縁膜5iの厚さよりも薄く形成することにより、論理回路用のnチャネル形のMOS・FETQnおよびpチャネル形のMOS・FETQpの駆動能力を向上させることが可能となる。

【0162】(7). 上記(1)により、pウェル3pw_mのチャネル領域に不純物をイオン打ち込みする工程を不要とすることが可能となる。

【0163】(8). ゲート電極形成用のポリシリコン膜34において、メモリセル選択用MOS・FETQのゲート電極形成領域に、p形不純物を導入する際、そのp形不純物を同じフォトリソをマスクとして、論理回路用のpチャネル形のMOS・FETQpのゲート電極形成領域にも導入することにより、それらの不純物導入工程を別々に行う場合に比べて、フォトリソパターンの形成工程を少なくすることができる。

【0164】(9). 上記(7) および(8)により、DRAMの製造工程の簡略化を図ることができるので、その半導体集積回路装置の開発・製造時間を短縮することができ、かつ、DRAMを有する半導体集積回路装置のコスト低減を推進することが可能となる。

【0165】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0166】例えば前記実施の形態においては、メモリセル選択用MOS・FETおよび半導体基板上のMOS・FETのゲート電極をポリシリコン膜上に金属膜を積み重ねてなる構造とした場合について説明したが、これに限定されるものではなく、例えばポリシリコンの単体膜またはポリシリコン膜上にタングステンシサイド等のようなシサイド膜を積み重ねてなる構造としても良い。

【0167】また、前記実施の形態においては、ビット線の上層に情報蓄積用容量素子を設けた場合について説明したが、これに限定されるものではなく、ビット線の下層に情報蓄積用容量素子を設ける構造としても良い。

【0168】また、前記実施の形態においては、情報蓄積用容量素子をクラウン形状とした場合について説明したが、これに限定されるものではなく、例えばフィン形

状等でも良い。

【0169】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAM技術等に適用した場合について説明したが、それに限定されるものではなく、例えば、pチャネル形の負荷用MISTランジスタおよびnチャネル形の駆動用MISTランジスタからなるフリップフロップ回路とnチャネル形の転送用MISTランジスタとからなるメモリセルを有するSRAM技術、または負荷抵抗素子およびnチャネル形の駆動用MISTランジスタからなるフリップフロップ回路とnチャネル形の転送用MISTランジスタとからなるメモリセルを有するSRAM技術等にも適用できる。

【0170】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0171】(1). 本発明の半導体集積回路装置によれば、メモリ回路を構成するメモリセルのMISTランジスタのゲートポリシリコン電極（ゲート絶縁膜に接した多結晶シリコン）の導電形を、メモリセルのMISTランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形としたことにより、半導体基板の不純物濃度を上げなくても、メモリセルのMISTランジスタのしきい値電圧を高くすることが可能となる。

【0172】(2). 本発明の半導体集積回路装置によれば、メモリ回路を構成するメモリセルのMISTランジスタが形成された半導体基板の活性領域を規定する素子分離領域は、半導体基板に形成された分離溝内に分離膜が埋め込まれて形成されていることから、素子分離領域下の半導体基板には、反転防止用の半導体基板と同じ導電形の不純物領域を形成する必要がないので、メモリセルの蓄積ノードの半導体領域と素子分離領域との界面近傍での接合電界を緩和することができる。

【0173】(3). 上記(1)により、メモリ回路領域の半導体基板の不純物濃度を低減することができるので、メモリセルのMISTランジスタにおいて蓄積ノードの半導体領域の接合近傍の電界を緩和することができる。このため、蓄積ノードと半導体基板との間のリーク電流を低減することが可能となる。

【0174】(4). 上記(1)により、メモリ回路領域の半導体基板の不純物濃度を低減することができるので、メモリセルのMISTランジスタのサブスレッショルド電流を低減することができる。このため、同じしきい値でもメモリセルのMISTランジスタのリーク電流を低減することが可能となる。

【0175】(5). 上記(2), (3)および(4)により、メモリセルのリフレッシュ特性を向上させることが可能となる。

【0176】(6). 論理回路を構成するMISTランジス

タのゲート絶縁膜の厚さを、メモリ回路を構成するメモリセルのMISトランジスタのゲート絶縁膜の厚さよりも相対的に薄く形成することにより、論理回路用のMISトランジスタの駆動能力を向上させることが可能となる。

【0177】(7).上記(1)により、メモリ回路を構成するメモリセルのMISトランジスタのチャネル領域に不純物をイオン打ち込みする工程を不要とすることが可能となる。

【0178】(8).本発明の半導体集積回路装置の製造方法によれば、メモリ回路と論理回路とを同一半導体基板上に設けたロジック混載形メモリを有する半導体集積回路装置の製造方法であって、半導体基板上に堆積されたゲート電極形成用の多結晶シリコン膜において、メモリ回路を構成するメモリセルのMISトランジスタのゲート電極形成領域に、上記メモリセルのMISトランジスタのソース・ドレイン用の半導体領域の導電形とは逆の導電形の不純物を導入する工程を有し、前記多結晶シリコン膜におけるゲート電極形成領域への不純物の導入工程に際して、前記不純物を、前記多結晶シリコン膜において前記メモリセルのMISトランジスタ以外の他のMISトランジスタのゲート電極形成領域にも同時に導入することにより、それらの不純物導入工程を別々に行う場合に比べて、フォトリソパターン形成工程を少なくすることができる。

【0179】(9).上記(7)および(8)により、ロジック混載形メモリを有する半導体集積回路装置の製造工程の簡略化を図ることができるので、その半導体集積回路装置の開発・製造時間を短縮することができ、かつ、ロジック混載形メモリを有する半導体集積回路装置のコスト

低減を推進することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の要部断面図である。

【図2】図1の半導体集積回路装置の製造工程における要部断面図である。

【図3】図1の半導体集積回路装置の製造工程における要部断面図である。

【図4】図1の半導体集積回路装置の製造工程における要部断面図である。

【図5】図1の半導体集積回路装置の製造工程における要部断面図である。

【図6】図1の半導体集積回路装置の製造工程における要部断面図である。

【図7】図1の半導体集積回路装置の製造工程における要部断面図である。

【図8】図1の半導体集積回路装置の製造工程における要部断面図である。

【図9】図1の半導体集積回路装置の製造工程における要部断面図である。

【図10】図1の半導体集積回路装置の製造工程における要部断面図である。

【図11】図1の半導体集積回路装置の製造工程における要部断面図である。

【図12】図1の半導体集積回路装置の製造工程における要部断面図である。

【図13】図1の半導体集積回路装置の製造工程における要部断面図である。

【図14】図1の半導体集積回路装置の製造工程における要部断面図である。

【図15】図1の半導体集積回路装置の製造工程における要部断面図である。

【図16】図1の半導体集積回路装置の製造工程における要部断面図である。

【図17】図1の半導体集積回路装置の製造工程における要部断面図である。

【図18】図1の半導体集積回路装置の製造工程における要部断面図である。

【図19】図1の半導体集積回路装置の製造工程における要部断面図である。

【図20】図1の半導体集積回路装置の製造工程における要部断面図である。

【図21】図1の半導体集積回路装置の製造工程における要部断面図である。

【図22】図1の半導体集積回路装置の製造工程における要部断面図である。

【図23】図1の半導体集積回路装置の製造工程における要部断面図である。

【図24】図1の半導体集積回路装置の製造工程における要部断面図である。

【図25】図1の半導体集積回路装置の製造工程における要部断面図である。

【図26】図1の半導体集積回路装置の製造工程における要部断面図である。

【図27】図1の半導体集積回路装置の製造工程における要部断面図である。

【図28】図1の半導体集積回路装置の製造工程における要部断面図である。

【図29】図1の半導体集積回路装置の製造工程における要部断面図である。

【図30】図1の半導体集積回路装置の製造工程における要部断面図である。

【図31】図1の半導体集積回路装置の製造工程における要部断面図である。

【図32】図1の半導体集積回路装置の製造工程における要部断面図である。

【図33】図1の半導体集積回路装置の製造工程における要部断面図である。

【図34】図1の半導体集積回路装置の製造工程における要部断面図である。

【図35】図1の半導体集積回路装置の製造工程における要部断面図である。

【図36】図1の半導体集積回路装置の製造工程における要部断面図である。

【図37】図1の半導体集積回路装置の製造工程における要部断面図である。

【図38】図1の半導体集積回路装置の製造工程における要部断面図である。

【図39】図1の半導体集積回路装置の製造工程における要部断面図である。

【図40】図1の半導体集積回路装置の製造工程における要部断面図である。

【図41】図1の半導体集積回路装置の製造工程における要部断面図である。

【図42】図1の半導体集積回路装置の製造工程における要部断面図である。

【図43】図1の半導体集積回路装置の製造工程における要部断面図である。

【図44】図1の半導体集積回路装置の製造工程における要部断面図である。

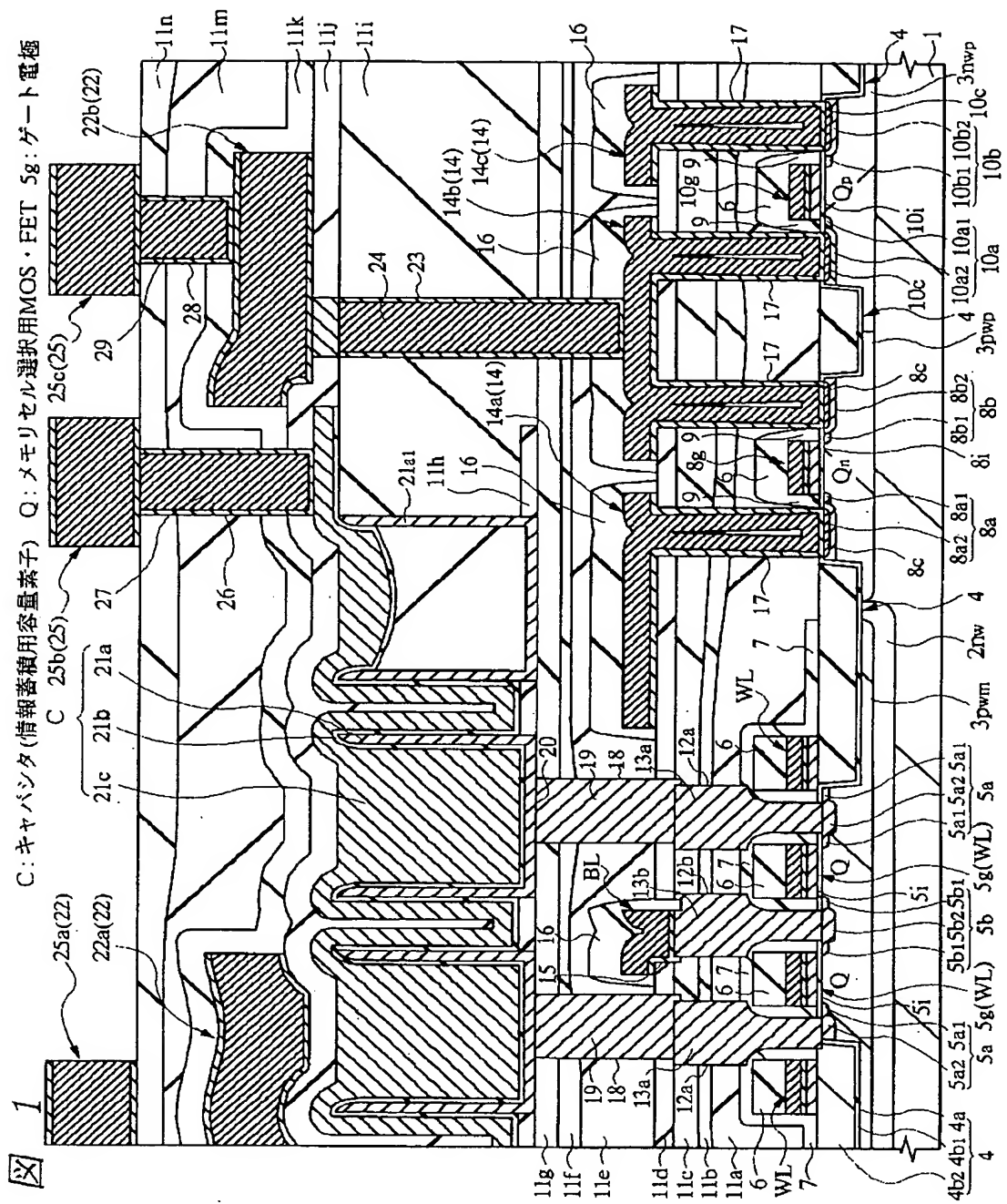
【図45】nチャネル形のメモリセル選択用MISトランジスタの蓄積ノードの半導体領域と素子分離領域との界面での深さ方向の不純物濃度分布である。(a)は、 n^+ ゲートのメモリセル選択用MISトランジスタでの不純物濃度分布であり、(b)は、 p^+ ゲートのメモリセル選択用MISトランジスタでの不純物濃度分布である。

【符号の説明】

1 半導体基板
 2 nw 深いnウエル
 3 pw_m pウエル
 3 pw_p pウエル
 3 nw_p nウエル
 3 pw_a pウエル
 3 nw_a nウエル
 4 素子分離領域
 4 a 分離溝
 4 b₁, 4 b₂ 分離用の絶縁膜
 5 a, 5 b 半導体領域
 5 i ゲート絶縁膜
 5 g ゲート電極
 6 キャップ絶縁膜
 7 絶縁膜
 8 a, 8 b 半導体領域
 8 a₁, 8 b₁ 低濃度領域
 8 a₂, 8 b₂ 高濃度領域
 8 c シリサイド層

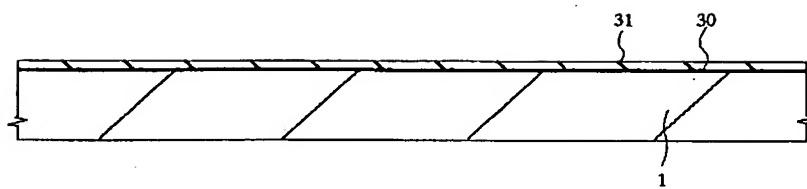
8 i ゲート絶縁膜
 8 g ゲート電極
 9 サイドウォール
 10 a, 10 b 半導体領域
 10 a₁, 10 b₁ 低濃度領域
 10 a₂, 10 b₂ 高濃度領域
 10 c シリサイド層
 10 i ゲート絶縁膜
 10 g ゲート電極
 10 11 a~11 n 層間絶縁膜
 12 a, 12 b 接続孔
 13 a, 13 b プラグ
 14, 14 a~14 c 第1層配線
 15 接続孔
 16 絶縁膜
 17 接続孔
 18 接続孔
 19 プラグ
 20 開口部
 20 21 a 蓄積電極
 21 b 容量絶縁膜
 21 c プレート電極
 22, 22 a, 22 b 第2層配線
 23 接続孔
 24 導体膜
 25, 25 a~25 c 第3層配線
 26 接続孔
 27 導体膜
 28 接続孔
 30 29 導体膜
 30 パッド膜
 31 耐酸化性膜
 32 a~32 x フォトレジスト
 33 絶縁膜
 33 a 絶縁膜
 34 ポリシリコン膜
 35 バリア金属膜
 36 金属膜
 37 導体膜
 40 38 導体膜
 39 絶縁膜
 Q メモリセル選択用MOS・FET
 C キャパシタ (情報蓄積用容量素子)
 Qp pチャネル形のMOS・FET
 Qn nチャネル形のMOS・FET
 WL ワード線
 BL ビット線

【図1】



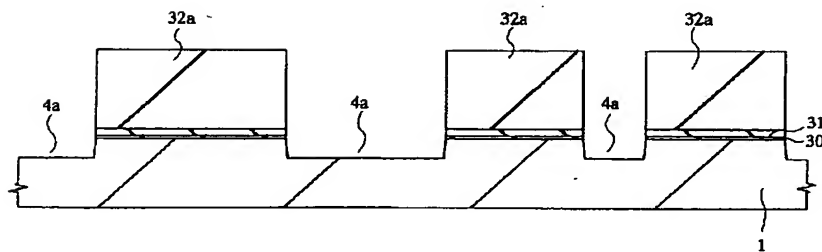
【図 2】

図 2



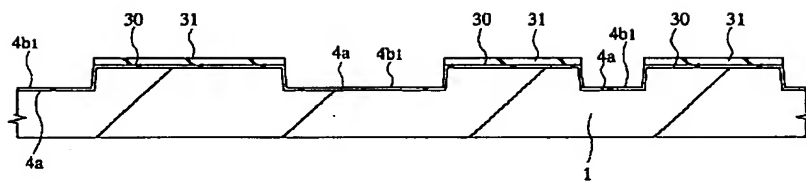
【図 3】

図 3



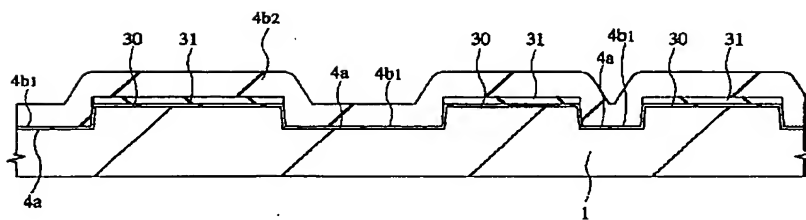
【図 4】

図 4



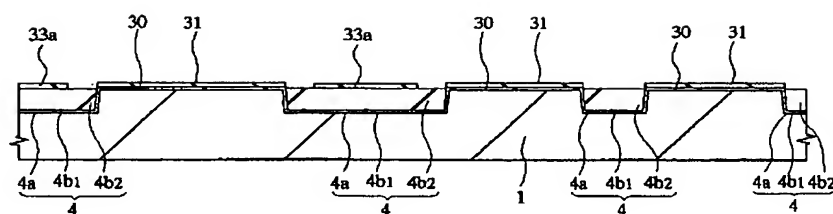
【図 5】

図 5



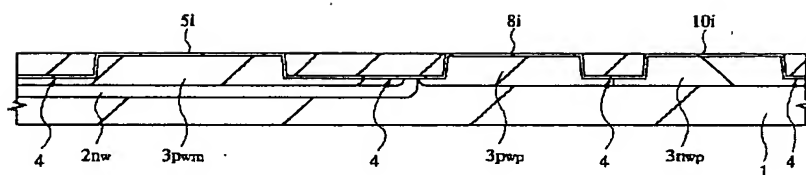
【図 8】

図 8



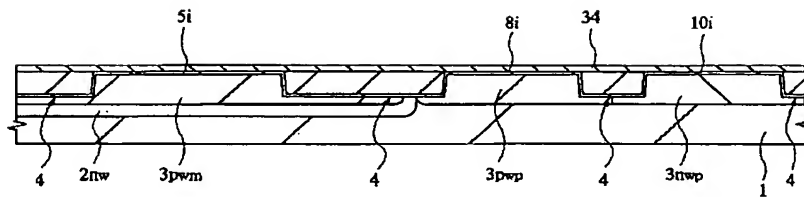
【図 9】

図 9



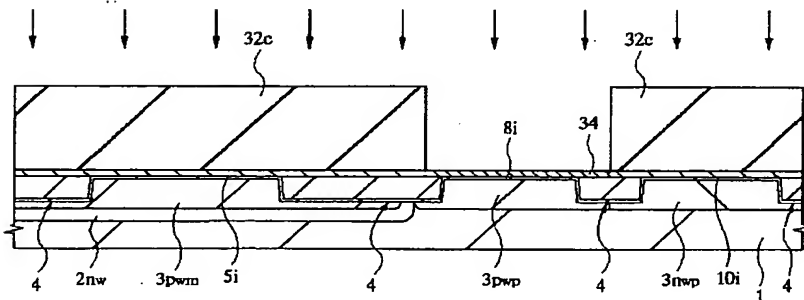
【図 10】

図 10



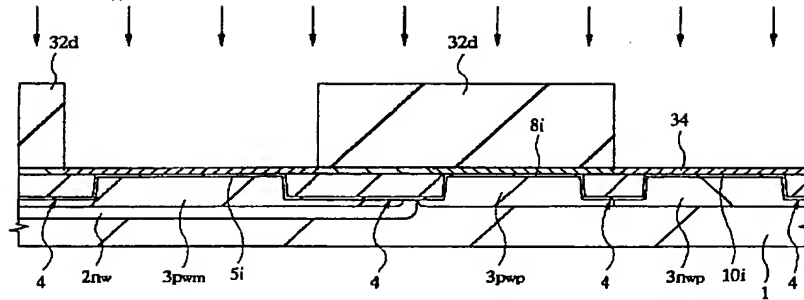
【図 11】

図 11



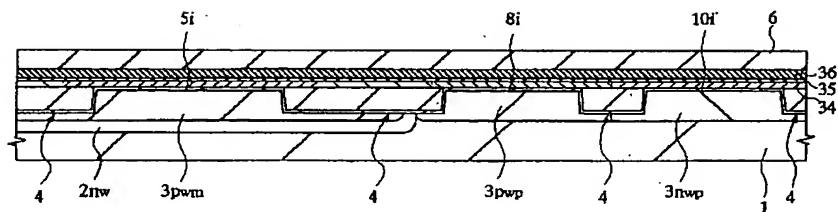
【図 12】

図 12



【図 13】

図 13



☒ 14

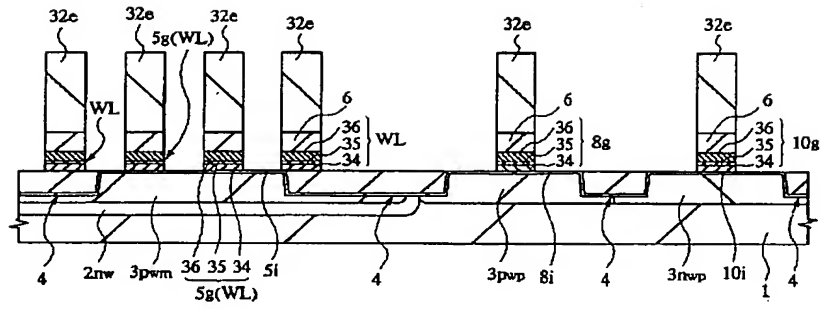
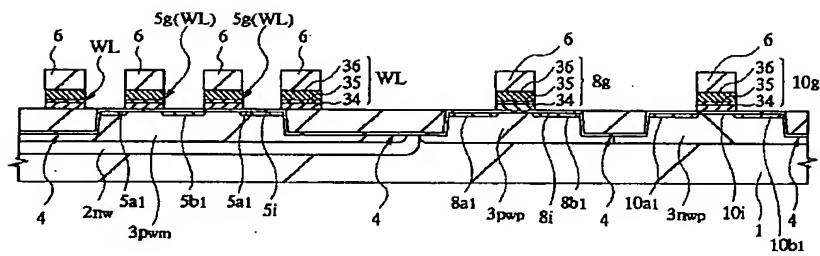
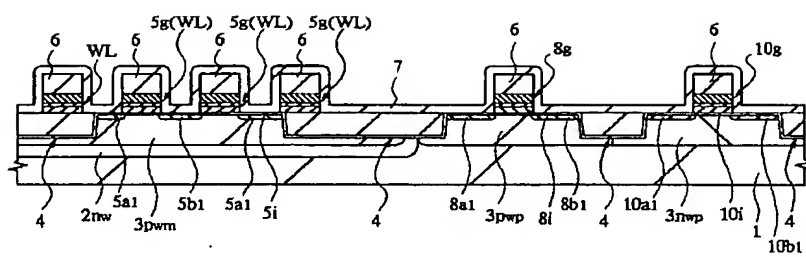


图 15



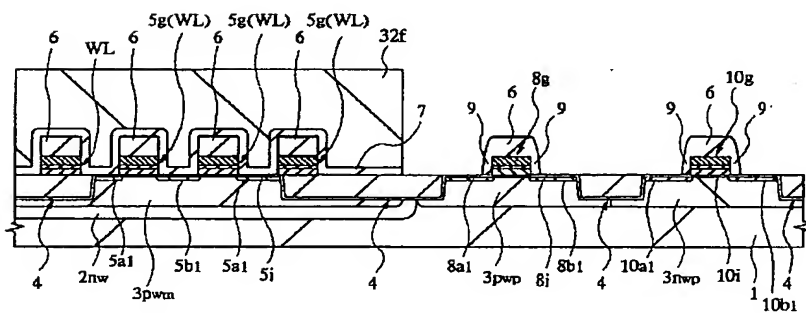
【図 16】

図 16



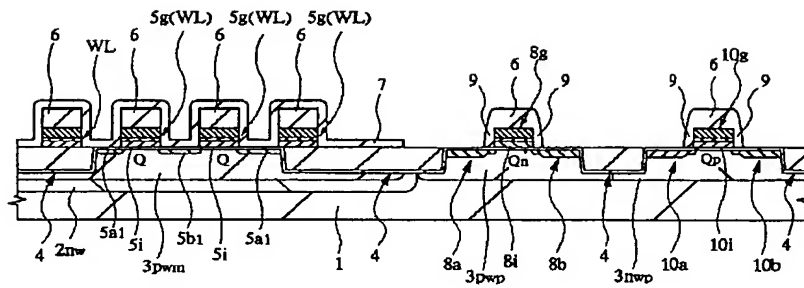
【図 17】

図 17



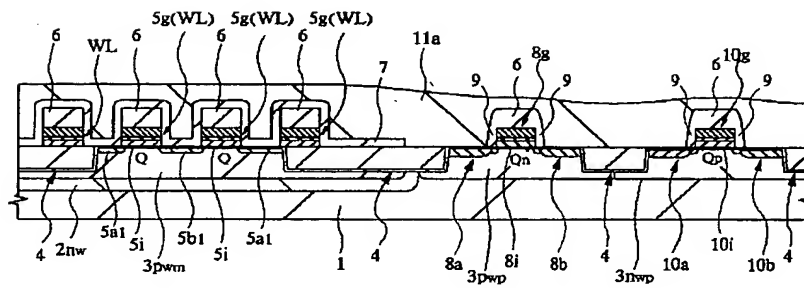
【図 18】

図 18



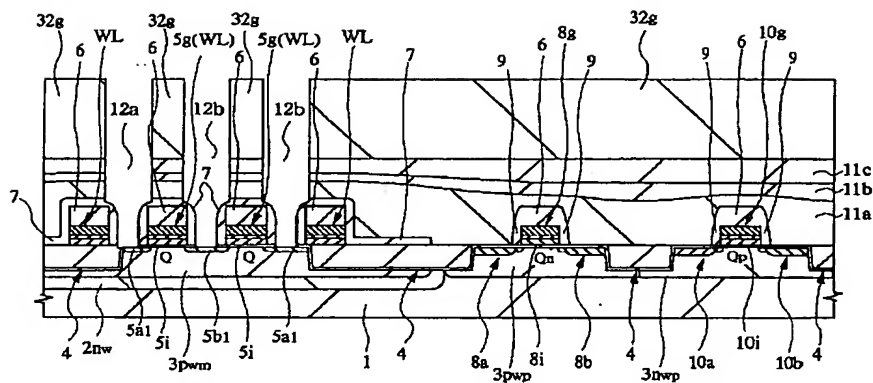
【図 19】

図 19



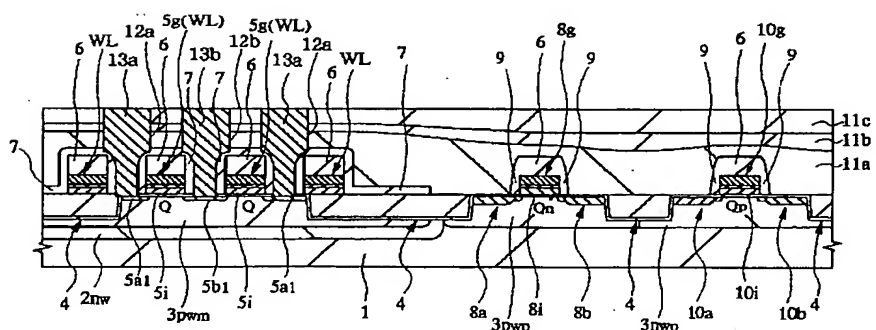
【図 22】

図 22

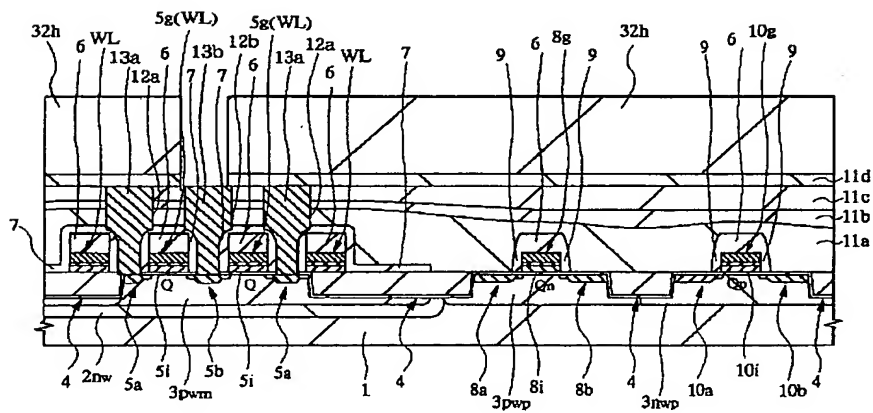


【図 23】

図 23

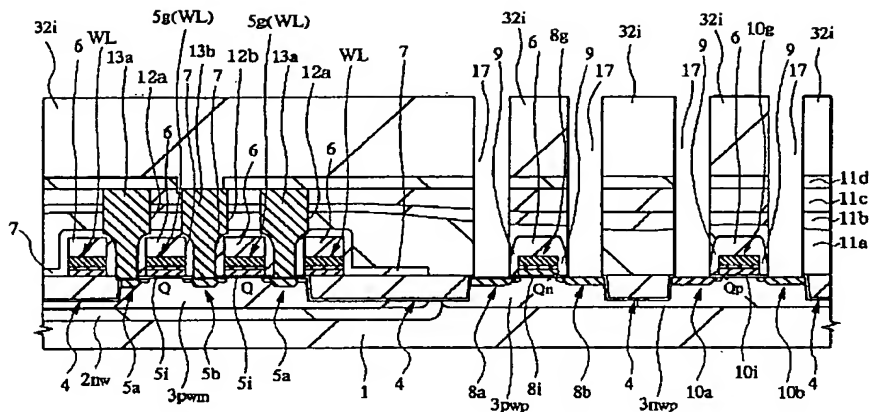


☒ 24



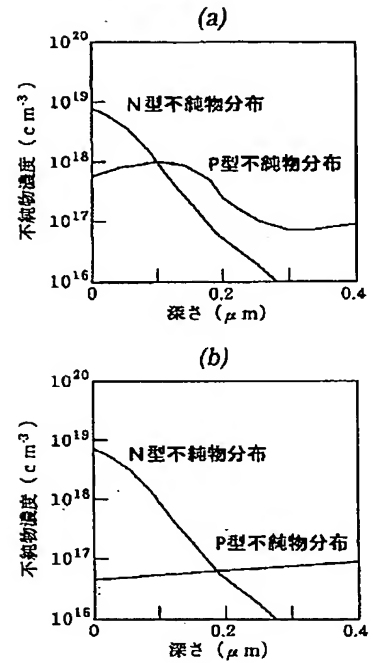
【図 26】

図 26



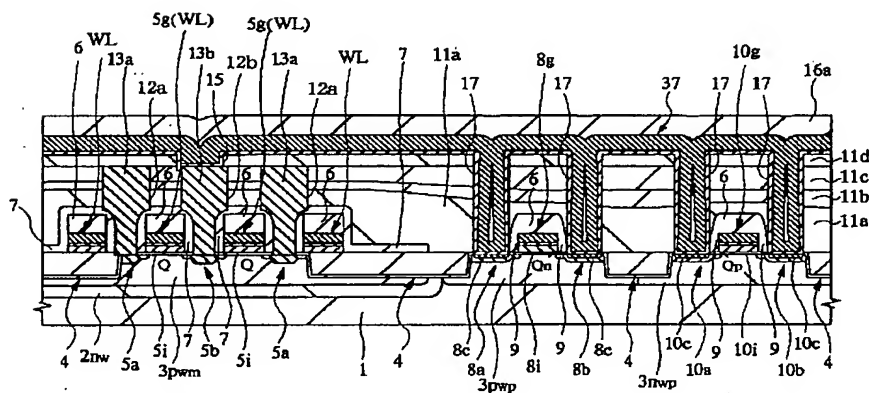
【図 45】

図 45

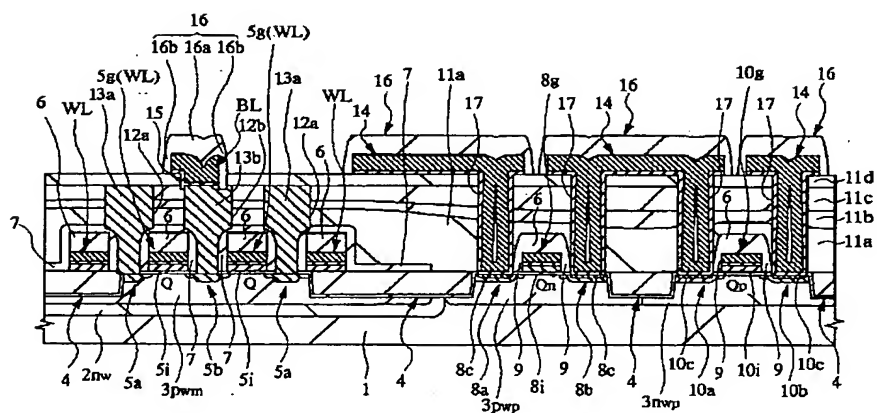


【図 27】

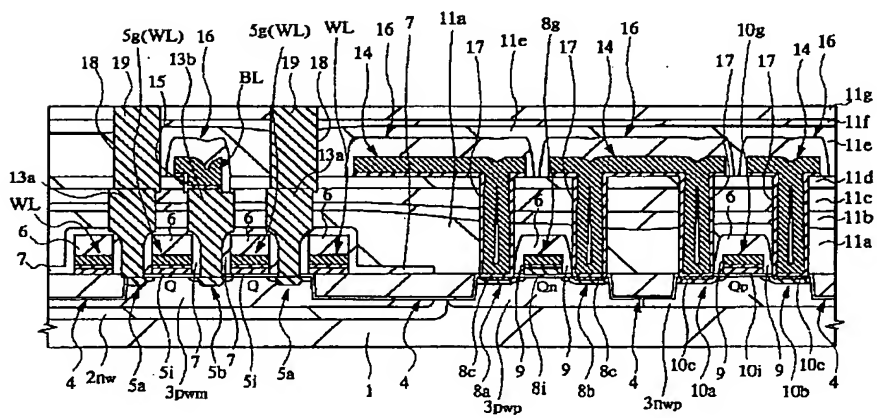
図 27



28



32



34

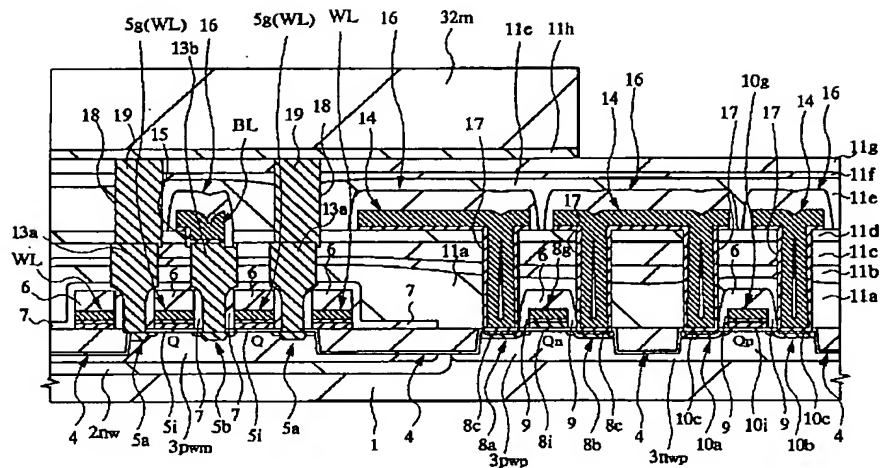
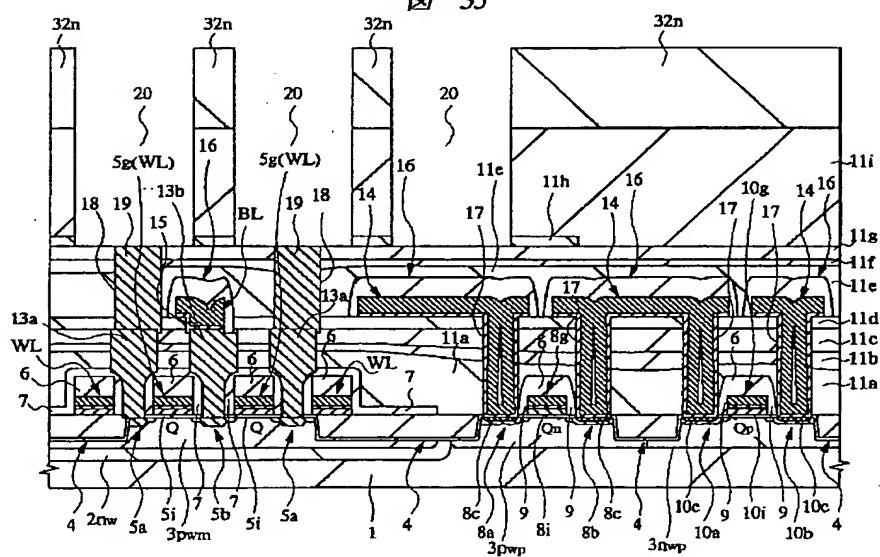


图 35



☒ 36

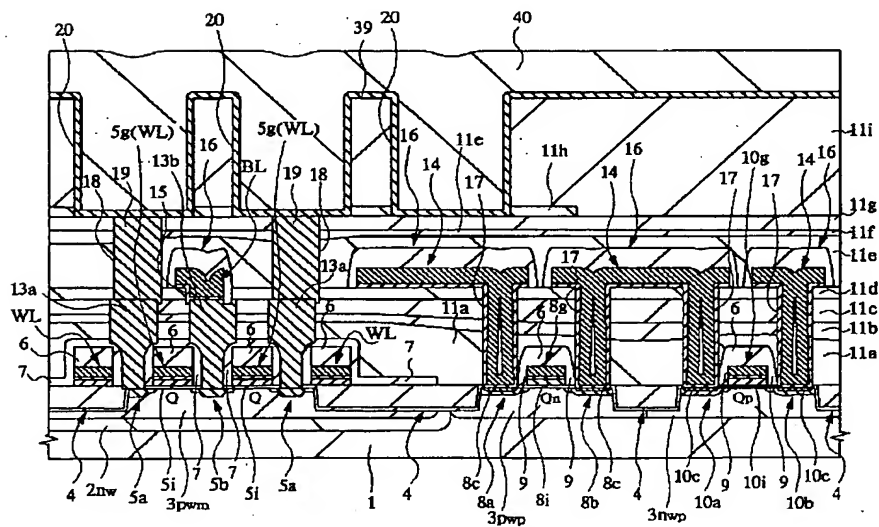


图 38

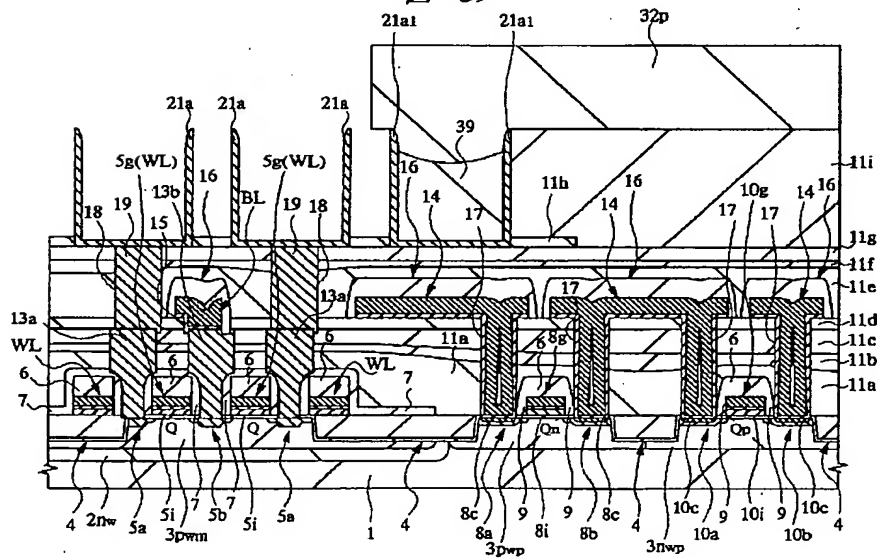
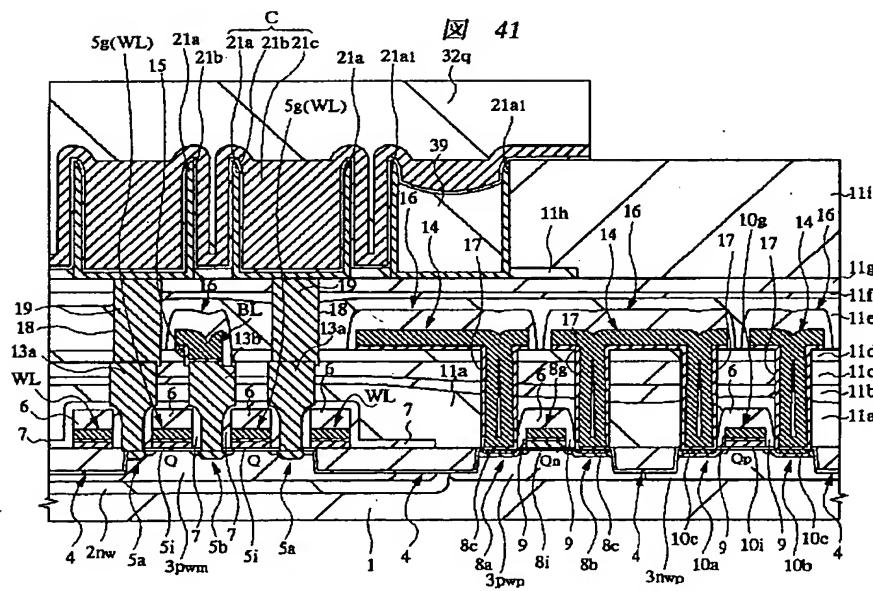
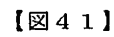
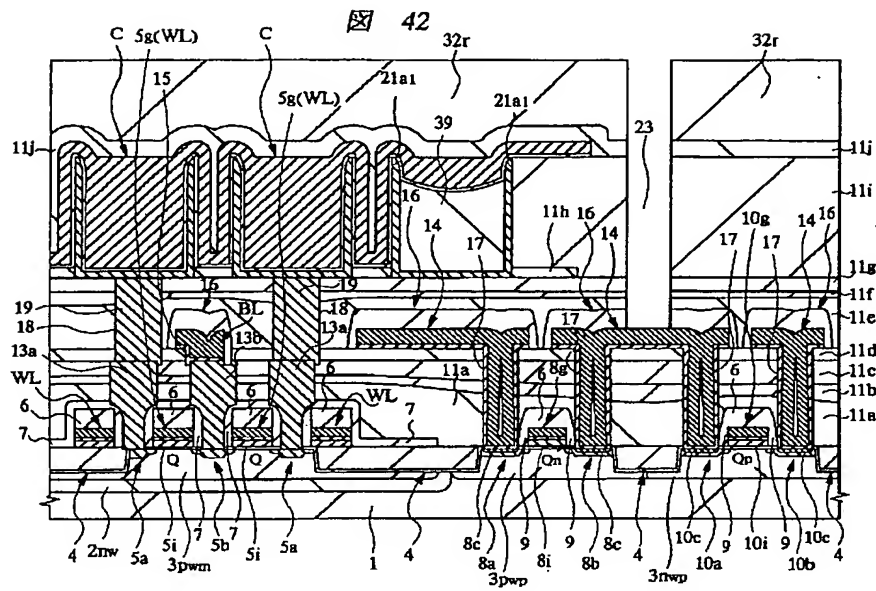


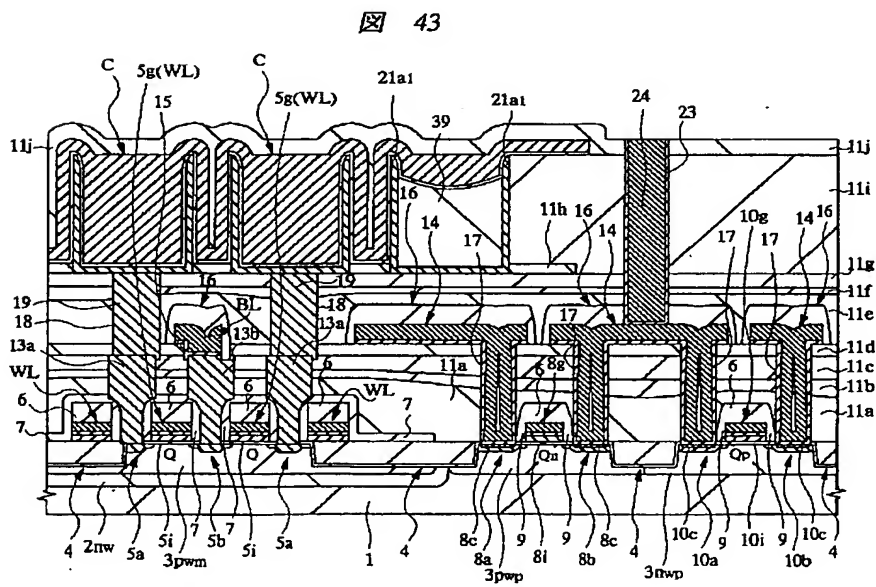
图 40



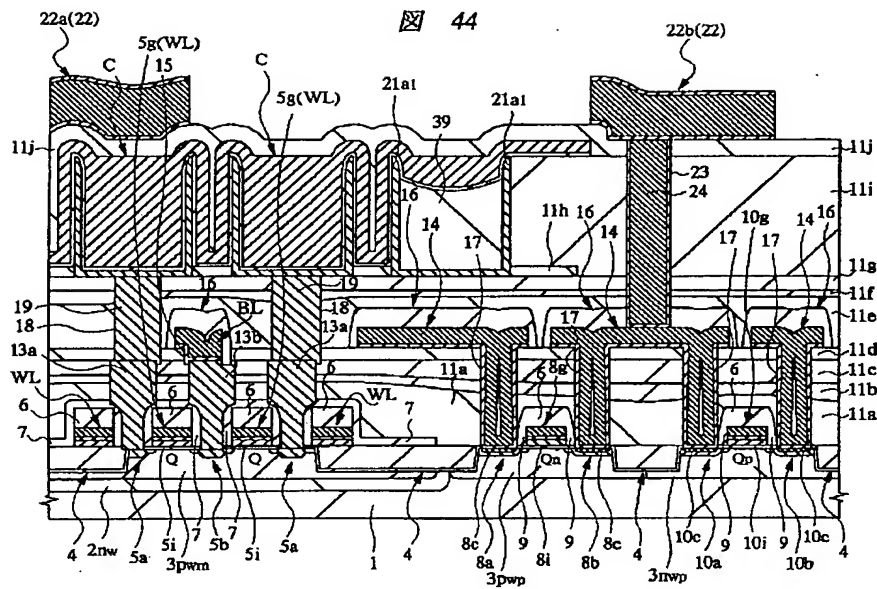
【図 42】



【図 43】



【図 44】



フロントページの続き

F ターム(参考) 5F048 AA08 AA09 AB01 AB03 AC03
 AC10 BB06 BB07 BB09 BB13
 BB16 BC06 BE03 BF02 BF06
 BF07 BF12 BF16 BG14 DA19
 DA20 DA27
 5F083 AD10 AD22 AD24 AD48 AD49
 AD61 BS05 BS17 GA01 GA06
 GA28 GA30 JA06 JA35 JA39
 JA40 MA03 MA06 MA16 MA18
 MA19 NA01 NA08 PRO3 PR21
 PR29 PR43 PR44 PR45 PR53
 PR54 PR55 ZA07 ZA12